

## (12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005年5月26日 (26.05.2005)

PCT

(10) 国際公開番号  
WO 2005/048439 A1

(51) 国際特許分類7: H02M 3/28

(21) 国際出願番号: PCT/JP2004/016571

(22) 国際出願日: 2004年11月9日 (09.11.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2003-386862

2003年11月17日 (17.11.2003) JP

(71) 出願人(米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 Saitama (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 麻生 真司 (ASO, Shinji).

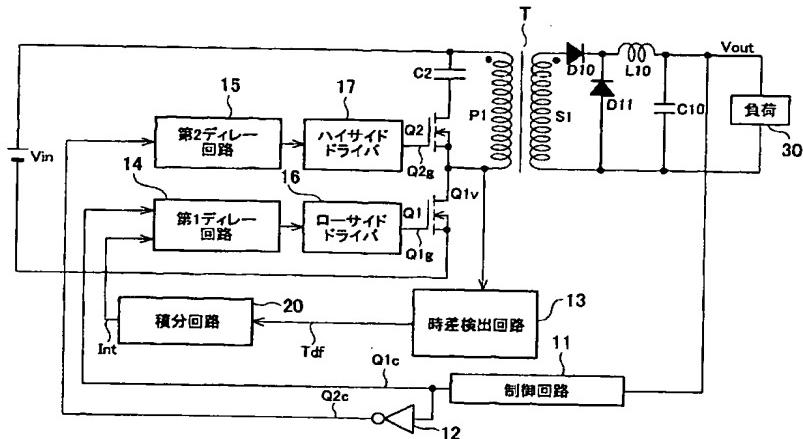
(74) 代理人: 三好 秀和 (MIYOSHI, Hidekazu); 〒1050001 東京都港区虎ノ門1丁目2番3号 虎ノ門第1ビル 9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: DIRECT CURRENT CONVERTING APPARATUS

(54) 発明の名称: 直流変換装置



15... SECOND DELAY CIRCUIT

17... HIGH-SIDE DRIVER

14... FIRST DELAY CIRCUIT

16... LOW-SIDE DRIVER

20... INTEGRATION CIRCUIT

13... TIME DIFFERENCE DETERMINATION CIRCUIT

11... CONTROL CIRCUIT

30... LOAD

(57) Abstract: A direct current converting apparatus wherein a main switch (Q1) is series connected to a primary winding (P1) of a transformer (T), while a series circuit, which comprises a capacitor (C2) and an auxiliary switch (Q2), is connected across the primary winding (P1) of the transformer (T) or across the main switch (Q1), and wherein the main and auxiliary switches are alternately turned on and off, thereby causing a secondary winding (S1) of the transformer (T) to generate a voltage, which is then rectified and smoothed to provide a DC output. The direct current converting apparatus includes

[続葉有]



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:  
— 國際調査報告書

---

a time difference determination circuit (13) for determining a time difference between a time at which the main switch (Q1) exhibits a minimum voltage after turn-off of the auxiliary switch (Q2) and a time at which the main switch (Q1) is turned on; and a first delay circuit (14) for delaying, based on an output of the time difference determination circuit (13), the time at which the main switch (Q1) is turned on, thereby causing the main switch (Q1) to be turned on in the vicinity of the minimum voltage.

(57) 要約: トランスTの1次巻線P1に直列に接続された主スイッチQ1とトランスTの1次巻線P1の両端又は主スイッチQ1の両端に接続され且つコンデンサC2及び補助スイッチQ2からなる直列回路の補助スイッチQ2とを交互にオン／オフさせることによりトランスTの2次巻線S1に発生される電圧を整流平滑して直流出力を得る直流変換装置であって、補助スイッチQ2がオフした後に主スイッチQ1の最小電圧から主スイッチQ1がオンするまでの時間を検出する時差検出回路13と、時差検出回路13の出力に基づき主スイッチQ1のオン時刻を遅延させ、主スイッチQ1が最小電圧の近傍でオンするように制御する第1ディレー回路14と備える。

## 明細書

### 直流変換装置

#### 技術分野

[0001] 本発明は、高効率、低ノイズな直流変換装置に関する。

#### 背景技術

[0002] 図1に関連する直流変換装置の一例を示す。図1に示す直流変換装置は、日本国特許公報特開2000-92829号に開示されるアクティブクランプ方式と呼ばれるもので、直流電源VinにトランスTの1次巻線P1(巻数n1)を介してMOSFET(以下、FETと称する。)等からなる主スイッチQ1が接続され、1次巻線P1の両端には、FET等からなる補助スイッチQ2とスナバコンデンサC2とからなる直列回路が接続されている。主スイッチQ1及び補助スイッチQ2は、制御回路111のPWM制御により交互にオン／オフする。

[0003] また、トランスTの1次巻線P1とトランスTの2次巻線S1とは互いに同相電圧が発生するように巻回されており、トランスTの2次巻線S1(巻数n2)には、ダイオードD10、D11とリアクトルL10とコンデンサC10とからなる整流平滑回路が接続されている。この整流平滑回路は、トランスTの2次巻線S1に誘起された電圧、すなわちオン／オフ制御されたパルス電圧を整流平滑して直流出力を負荷30に出力する。

[0004] 制御回路111は、負荷30への出力電圧に基いて、主スイッチQ1をオン／オフ制御するためのパルスからなる制御信号を生成するとともに、出力電圧が所定の電圧となるようにその制御信号のデューティ比を制御する。

[0005] さらに、直流変換装置は、インバータ112、ボトム検出回路113、第1ディレーリ回路114、第2ディレーリ回路115、ローサイドドライバ116、ハイサイドドライバ117を備えている。

[0006] インバータ112は、制御回路111からの主スイッチQ1用のQ1制御信号Q1cを反転して第2ディレーリ回路115に出力する。ボトム検出回路113は、補助スイッチQ2がオフした後に主スイッチQ1の最小電圧(ボトム電圧)を検出し、ボトム検出信号Btmとして出力する。

- [0007] 第1ディレーレ路114は、制御回路111からのQ1制御信号Q1cの立上りタイミングをボトム検出回路113からのボトム検出信号Btmの立下りタイミングまで遅延させたQ1ゲート信号Q1gを生成してローサイドドライバ116に出力する。ローサイドドライバ116は、第1ディレーレ路114からのQ1ゲート信号Q1gを主スイッチQ1のゲートに印加して主スイッチQ1を駆動する。第2ディレーレ路115は、インバータ112で反転した補助スイッチQ2用のQ2制御信号Q2cの立上りタイミングを所定時間だけ遅延させたQ2ゲート信号Q2gを生成してハイサイドドライバ117に出力する。ハイサイドドライバ117は、第2ディレーレ路115からのQ2ゲート信号Q2gを補助スイッチQ2のゲートに印加して補助スイッチQ2を駆動する。
- [0008] 次に、このように構成された直流変換装置の動作を図2に示すタイミングチャートを参照しながら説明する。なお、図2では、主スイッチQ1の両端間の電圧Q1vを示している。
- [0009] まず、時刻 $t_{31}$ において、制御回路111からのQ1制御信号Q1cがHレベルになると、Q2制御信号Q2cがLレベルになる。このため、Q2ゲート信号Q2gがLレベルになるため、補助スイッチQ2がオフする。また、ボトム検出信号Btmは時刻 $t_{31}$ においてHレベルとなる。
- [0010] そして、補助スイッチQ2がオフすると、主スイッチQ1の電圧Q1vが減少していく。時刻 $t_{32}$ において、ボトム検出回路113により電圧Q1vの最小値(ボトム)が検出される。このとき、ボトム検出回路113からのボトム検出信号BtmはLレベルになる。
- [0011] そして、ボトム検出回路113からのボトム検出信号Btmの立下りタイミング(時刻 $t_{32}$ )でHレベルになるQ1ゲート信号Q1gが、第1ディレーレ路114により生成され、Q1ゲート信号Q1gがローサイドドライバ116を介して主スイッチQ1のゲートに印加されるため、主スイッチQ1がオンする。即ち、主スイッチQ1のボトム電圧スイッチ又はゼロボルトスイッチが達成できる。
- [0012] 主スイッチQ1がオンすると、直流電源VinからトランジスタTの1次巻線P1を介して主スイッチQ1に電流が流れる。このとき、整流平滑回路には、S1→D10→L10→C10→S1と電流が流れる。
- [0013] 次に、時刻 $t_{33}$ において、Q1制御信号Q1cにより、主スイッチQ1をオフすると、トランジ

ンスTの1次巻線P1と、トランスTの1次及び2次巻線間のリーケージインダクタンスに蓄えられたエネルギーによって主スイッチQ1が有する寄生コンデンサ(図示せず)が充電され電圧共振が形成される。その結果、主スイッチQ1の電圧Q1vが時刻 $t_{33}$ ～時刻 $t_{34}$ まで上昇する。また、整流平滑回路では、L10→C10→D11→L10と電流が流れ、負荷30に電流を供給する。

- [0014] そして、時刻 $t_{34}$ において、Q2ゲート信号Q2gにより、補助スイッチQ2をオンさせると、トランスTの1次巻線P1に蓄えられたエネルギーがコンデンサC2に供給され、コンデンサC2が充電されていく。次に、コンデンサC2に蓄えられたエネルギーは、C2→Q2→P1→C2に流れる。
- [0015] なお、従来の直流変換装置の関連技術として、例えば日本国特許公報特開平7-203688号がある。

### 発明の開示

- [0016] このように、従来の直流変換装置にあっては、補助スイッチQ2がオフした後に主スイッチQ1の電圧の最小値をボトム検出回路113により検出し、ボトム検出信号Btmの立下りタイミングでQ1ゲート信号Q1gがHレベルとなるように、主スイッチQ1のオンディレーを制御している。このため、ボトム検出回路113の検出誤差や外乱による検出点の乱れにより、主スイッチQ1のディレー時間が変化した場合、主スイッチQ1のQ1ゲート信号Q1gが変化するため、動作が非常に不安定となる。
- [0017] また、ボトム検出から、主スイッチQ1がオンするまでの遅れがあると、主スイッチQ1のオンはボトムより遅れてしまうため、ボトム検出から主スイッチQ1をオンさせるまでの遅れが小さくなるように回路を構成する必要があった。このため、主スイッチQ1を高速でオンさせる必要があり、スイッチングノイズが大きくなる等の欠点があった。
- [0018] 本発明によれば、ボトム検出回路の誤差や外乱による検出点の乱れによる動作の不安定な点を改善するとともに、ボトム検出から主スイッチをオンさせるまでの遅れの影響をなくすことができ、スイッチングノイズを低減できる直流変換装置を提供することができる。
- [0019] 本発明の第1の技術的側面によれば、トランスの1次巻線に直列に接続された主スイッチとトランスの1次巻線の両端又は主スイッチの両端に接続され且つコンデンサ

及び補助スイッチからなる直列回路の補助スイッチとを交互にオン／オフさせることによりトランスの2次巻線の電圧を整流平滑回路で整流平滑して直流出力を得る直流変換装置であって、前記補助スイッチがオフした後に前記主スイッチの最小電圧から主スイッチがオンするまでの時間を検出する時差検出手段と、前記時差検出手段の出力に基づき前記主スイッチのオン時刻を遅延させ、前記主スイッチが前記最小電圧の近傍でオンするように制御する遅延制御手段とを備えることを特徴とする。

[0020] 本発明の第2の技術的側面によれば、トランスの1次巻線に直列に接続された主スイッチとトランスの1次巻線の両端又は主スイッチの両端に接続され且つコンデンサ及び補助スイッチからなる直列回路の補助スイッチとを交互にオン／オフさせることによりトランスの2次巻線の電圧を整流平滑回路で整流平滑して直流出力を得る直流変換装置であって、前記補助スイッチがオフした後に前記主スイッチの電圧が減少していくときの前記主スイッチの最小電圧を検出するボトム検出手段と、前記主スイッチがオンしたことを検出するオン検出手段と、前記ボトム検出手段で最小電圧が検出されてから前記オン検出手段で前記主スイッチがオンしたことが検出されるまでの時間を検出する時差検出手段と、前記時差検出手段の出力に基づき前記主スイッチのオン時刻を遅延させ、前記主スイッチが前記最小電圧の近傍でオンするように制御する遅延制御手段とを備えることを特徴とする。

### 図面の簡単な説明

- [0021] [図1]図1は、関連する直流変換装置の一例を示す回路図である。  
[図2]図2は、関連する直流変換装置の各部の信号のタイミングチャートである。  
[図3]図3は、第1実施例の直流変換装置を示す回路構成図である。  
[図4]図4は、第1実施例の直流変換装置における時差検出信号がゼロになった定常時の各部の信号のタイミングチャートである。  
[図5]図5は、第1実施例の直流変換装置における時差検出信号がゼロに近づく過渡状態時の各部の信号のタイミングチャートである。  
[図6]図6は、図3に示した直流変換装置における時差検出回路、積分回路、第1ディレーリ回路及び第2ディレーリ回路の具体的な回路構成図である。  
[図7]図7は、第1実施例の変形例の直流変換装置を示す回路構成図である。

[図8]図8は、第1実施例の変形例の直流変換装置の動作を示すタイミングチャートである。

[図9]図9は、第2実施例の直流変換装置を示す回路構成図である。

[図10]図10は、第2実施例の直流変換装置の動作を示すタイミングチャートである。

[図11]図11は、第3実施例の直流変換装置を示す回路構成図である。

[図12]図12は、第3実施例の直流変換装置の時差検出回路、積分回路、第1ディレーレ回路及び第2ディレーレ回路の具体的な回路構成図である。

[図13]図13は、第3実施例の直流変換装置の動作を示すタイミングチャートである。

[図14]図14は、第4実施例の直流変換装置を示す回路構成図である。

[図15]図15は、第4実施例の直流変換装置に設けられたトランジスタの構造図である。

## 発明を実施するための最良の形態

[0022] 以下、本発明に係る直流変換装置の実施の形態を図面を参照して詳細に説明する。

### 第1実施例

図3は第1実施例の直流変換装置の回路構成図である。なお、図3においては、図1に示した構成部分と同一部分には同一符号を付し、その説明を省略又は簡略化する。

[0024] 図3に示す直流変換装置において、主スイッチQ1及び補助スイッチQ2は、共にオフとなる期間(デッドタイム)を有し、制御回路11のPWM制御により交互にオン／オフするようになっている。制御回路11は、負荷30の出力電圧に基づき、主スイッチQ1をオン／オフ制御するためのパルスからなる制御信号を生成するとともに、整流平滑回路の出力電圧が所定の電圧となるようにその制御信号のデューティ比を制御する。

[0025] さらに、直流変換装置は、インバータ12、時差検出回路13、第1ディレーレ回路14、第2ディレーレ回路15、ローサイドドライバ16、ハイサイドドライバ17、積分回路20を備えている。

[0026] インバータ12は、制御回路11からの主スイッチQ1用のQ1制御信号Q1cを反転して第2ディレーレ回路15に出力する。時差検出回路13は、図4に示すように、補助スイ

ッチQ2がオフした後に主スイッチQ1の最小電圧(ボトム電圧)から主スイッチQ1がオンするまでの期間を検出し、時差検出信号Tdfとして出力する。積分回路20は、時差検出回路13からの時差検出信号Tdfを積分して積分出力Intを出力する。

- [0027] 第1ディレーリー回路14は、本発明の遅延制御手段に対応し、積分回路20の積分出力Intと制御回路11のQ1制御信号Q1cとを入力してこれらに相応するQ1ゲート信号Q1gを生成し、ローサイドドライバ116に出力する。より具体的には、第1ディレーリー回路14は、積分回路20からの積分出力Intの値が大きいほど、Q1制御信号Q1cの立上り時刻からQ1ゲート信号Q1gの立上り時刻までの遅延時間がより短くなるように適用させてQ1ゲート信号Q1gを生成する。
- [0028] ローサイドドライバ16は、第1ディレーリー回路14からのQ1ゲート信号Q1gを主スイッチQ1のゲートに印加して主スイッチQ1を駆動する。第2ディレーリー回路15は、インバータ12で反転した補助スイッチQ2用のQ2制御信号Q2cの立上りタイミングを所定時間だけ遅延させたQ2ゲート信号Q2gを生成してハイサイドドライバ17に出力する。ハイサイドドライバ17は、第2ディレーリー回路15からのQ2ゲート信号Q2gを補助スイッチQ2のゲートに印加して補助スイッチQ2を駆動する。
- [0029] 次に、このように構成された直流変換装置の動作を図4及び図5に示すタイミングチャートを参照しながら説明する。図4は第1実施例の直流変換装置における時差検出回路13の出力がなくなった定常時の各部の信号のタイミングチャートである。図5は第1実施例の直流変換装置における時差検出回路13の出力が大きい状態から徐々に小さくなる過渡状態での各部の信号のタイミングチャートである。なお、図4及び図5では、主スイッチQ1の両端間の電圧Q1vを示している。
- [0030] まず、時刻 $t_1$ において、制御回路11からのQ1制御信号Q1cがHレベルになると、Q2制御信号Q2cがLレベルになる。このため、Q2ゲート信号Q2gがLレベルになり、補助スイッチQ2がオフする。また、時差検出信号Tdfは時刻 $t_1$ においてLレベルとなる。
- [0031] 補助スイッチQ2がオフすると、主スイッチQ1の電圧Q1vが減少していく。時刻 $t_2$ において、主スイッチQ1の電圧Q1vが最小電圧(ボトム電圧)になると、図5に示すように、時差検出回路13からの時差検出信号TdfはHレベルになる。時差検出信号Tdf

は、主スイッチQ1の最小電圧(例えば、時刻 $t_2$ )から主スイッチQ1がオン(例えば、時刻 $t_{21}$ )するまでのパルス幅を有する。

[0032] さらに、時差検出回路13からの時差検出信号Tdfは、積分回路20により積分されるため、積分出力Intは、時差検出信号Tdfの大きさに正比例した値となる。次に、第1ディレーレ回路14は、積分回路20からの積分出力Intの値に応じて、Q1制御信号Q1cの立上り時刻からQ1ゲート信号Q1gの立上り時刻までの遅延時間を短くするよう制御する。例えば時刻 $t_2$ ～時刻 $t_{21}$ では、積分出力Intが比較的大きいので、Q1制御信号Q1cの立上り時刻 $t_1$ からQ1ゲート信号Q1gの立上り時刻 $t_{21}$ までの遅延時間DT1を短くするよう制御する。その結果、次の周期のタイミングでは、Q1制御信号Q1cの立上り時刻 $t_5$ からQ1ゲート信号Q1gの立上り時刻 $t_{61}$ までの遅延時間DT2となる。さらに、その次のタイミングでは、Q1制御信号Q1cの立上り時刻 $t_9$ からQ1ゲート信号Q1gの立上り時刻 $t_{101}$ までの遅延時間DT3となる。即ち、実際のQ1ゲート信号Q1gの立上り時刻(オン時刻)を遅延制御することにより、主スイッチQ1の最小電圧から主スイッチQ1がオンするまでの時間がゼロに近づく。主スイッチQ1の最小電圧から主スイッチQ1がオンするまでの時間がゼロになった場合には、図4に示すようなタイミングチャートになる。即ち、主スイッチQ1のボトム電圧スイッチ又はゼロボルトスイッチが達成される。

[0033] 次に、時刻 $t_{21}$ において、Q1ゲート信号Q1gがローサイドドライバ16を介して主スイッチQ1のゲートに印加されるため、主スイッチQ1がオンする。

[0034] 主スイッチQ1がオンすると、直流電源Vinからトランジスタの1次巻線P1を介して主スイッチQ1に電流が流れる。このとき、整流平滑回路には、S1→D10→L10→C10→S1と電流が流れる。

[0035] 次に、時刻 $t_3$ において、Q1制御信号Q1cにより、主スイッチQ1をオフさせると、トランジスタの1次巻線P1と、トランジスタの1次2次巻線間のリーケージインダクタンスに蓄えられたエネルギーにより主スイッチQ1(FETのドレイン・ソース間)が有する寄生コンデンサ(図示せず)が充電され電圧共振が形成されて、主スイッチQ1の電圧Q1vが時刻 $t_3$ ～時刻 $t_4$ まで上昇する。また、整流平滑回路では、L10→C10→D11→L10と電流が流れ、負荷30に電流を供給する。

- [0036] インバータ12で反転した補助スイッチQ2用のQ2制御信号Q2cの立上り時刻を所定時間だけ遅延させたQ2ゲート信号Q2gが、第2ディレーレ回路15により生成される。Q2ゲート信号Q2gは、時刻 $t_4$ において、ハイサイドドライバ17を介して補助スイッチQ2のゲートに印加されて、補助スイッチQ2をオンさせる。このため、トランジスタの1次巻線P1に蓄えられたエネルギーがコンデンサC2に供給され、コンデンサC2が充電されていく。次に、コンデンサC2に蓄えられたエネルギーは、C2→Q2→P1→C2に流れる。
- [0037] 図6は図3に示した直流変換装置における時差検出回路13、積分回路20、第1ディレーレ回路14及び第2ディレーレ回路15の具体的な回路構成を示す図である。
- [0038] 図6に示す時差検出回路13において、トランジスタQ3のベースには、ダイオードD1のカソードと抵抗R1の一端とコンデンサC1の一端とトランジスタQ4のコレクタが接続され、トランジスタQ3のエミッタはダイオードD1のアノードと抵抗R1の他端とトランジスタQ4のエミッタに接続されるとともに接地されている。トランジスタQ3のコレクタには抵抗R2の一端とインバータ131の入力端子とが接続され、抵抗R2の他端は電源Vccに接続され、インバータ131の出力端子は積分回路20に接続されている。コンデンサC1の他端は主スイッチQ1のドレインに接続されている。トランジスタQ4のベースはインバータ12の出力端子に接続されている。
- [0039] 積分回路20は、抵抗R3とコンデンサC3とが直列接続されてなり、抵抗R3の一端がインバータ131の出力端子に接続され、コンデンサC3の一端が接地され、コンデンサC3と抵抗R3との接続点から積分出力Intが第1ディレーレ回路14の誤差増幅器141の非反転端子+に出力される。
- [0040] 第1ディレーレ回路14において、誤差増幅器141の反転端子-には基準電源Erが接続され、誤差増幅器141の出力端子は、抵抗R4を介してダイオードD3のアノードに接続される。ダイオードD3のカソードは、抵抗R5の一端及びコンデンサC4の一端に接続され、抵抗R5の他端は電源Vccに接続され、コンデンサC4の他端は接地されている。制御回路11の出力は、バッファ142を介してダイオードD2のカソードに接続され、ダイオードD2のアノードはコンデンサC4の一端に接続される。抵抗R5とコンデンサC4との接続点はローサイドドライバ16を介して主スイッチQ1のゲートに接

続される。

- [0041] 第2ディレーレ回路15において、インバータ12の出力はバッファ151を介してダイオードD4のカソードに接続され、ダイオードD4のアノードはコンデンサC5の一端及び抵抗R6の一端に接続され、抵抗R6の他端は電源Vccに接続され、コンデンサC5の他端は接地されている。抵抗R6とコンデンサC5との接続点はハイサイドドライバ17を介して補助スイッチQ2のゲートに接続される。
- [0042] 次に、時差検出回路13、積分回路20、第1ディレーレ回路14及び第2ディレーレ回路15の具体的な回路の動作を含む直流変換装置の動作を図4及び図5に示すタイミングチャートを参照しながら説明する。
- [0043] まず、時刻 $t_1$ において、制御回路11からのQ1制御信号Q1cがHレベルになると、Q2制御信号Q2cがLレベルになる。このため、Q2ゲート信号Q2gがLレベルになり、補助スイッチQ2がオフする。
- [0044] そして、補助スイッチQ2がオフすると、時刻 $t_1$ ～時刻 $t_2$ において、主スイッチQ1の電圧Q1vが減少していく。このとき、時差検出回路13では、Q2制御信号Q2cがLレベルであるので、トランジスタQ4はオフされ、D1→C1→P1→Vin→GNDと電流が流れ、トランジスタQ3がオフする。このため、トランジスタQ3のコレクタがHレベルになり、インバータ131の出力端子からLレベルの時差検出信号Tdfが outputされて、積分回路20内の抵抗R3の一端に供給される。
- [0045] 次に、コンデンサC1の放電が終了し、時刻 $t_2$ において、電圧Q1vが最小値(ボトム)となると、Vin→P1→C1→Q3と電流が流れ、トランジスタQ3がオンする。これにより、トランジスタQ3のコレクタがLレベルになり、インバータ131の出力端子からHレベルの時差検出信号Tdfが outputされて、積分回路20内の抵抗R3の一端に供給される。
- [0046] 従って、時刻 $t_2$ ～時刻 $t_{21}$ まで、Hレベルの時差検出信号Tdfが積分回路20の抵抗R3の一端に供給される。このため、抵抗R3とコンデンサC3との接続点からの積分出力Intは、高い電圧となって、誤差増幅器141の非反転端子+に入力されるため、誤差増幅器141の出力から積分出力の値に応じた電圧が得られる。このため、この電圧により、R4→D3→C4と電流が流れ。即ち、コンデンサC4には、抵抗R5からの

電流とダイオードD3からの電流との合計電流が流れるので、コンデンサC4の充電時間が短くなる。

- [0047] つまり、積分回路20からの積分出力Intの値に応じて、コンデンサC4の充電時間が短くなることで、Q1制御信号Q1cの立上り時刻からQ1ゲート信号Q1gの立上り時刻までの遅延時間を短くすることができる。従って、図5のタイミングチャートで既に説明したように、実際のQ1ゲート信号Q1gの立上り時刻(オン時刻)を遅延制御することにより、主スイッチQ1の最小電圧から主スイッチQ1がオンするまでの時間がゼロに近づく。主スイッチQ1の最小電圧から主スイッチQ1がオンするまでの時間がゼロになつた場合には、図4に示すようなタイミングチャートになる。即ち、主スイッチQ1のボトム電圧スイッチ又はゼロボルトスイッチが達成できる。
- [0048] 時刻 $t_{21}$ において、Q1ゲート信号Q1gがローサイドドライバ16を介して主スイッチQ1のゲートに印加されるため、主スイッチQ1がオンする。
- [0049] 主スイッチQ1がオンすると、直流電源VinからトランジスタTの1次巻線P1を介して主スイッチQ1に電流が流れる。このとき、整流平滑回路には、S1→D10→L10→C10→S1と電流が流れる。
- [0050] 時刻 $t_3$ において、Q1制御信号Q1cにより、主スイッチQ1がオフされると、トランジスタTの1次巻線P1と、トランジスタTの1次2次巻線間のリーケージインダクタンスに蓄えられたエネルギーにより主スイッチQ1(FETのドレイン・ソース間)が有する寄生コンデンサ(図示せず)が充電され電圧共振が形成されて、主スイッチQ1の電圧Q1vが時刻 $t_3$ ～時刻 $t_4$ まで上昇する。
- [0051] 仮にトランジスタQ4がオフのままであると、主スイッチQ1の電圧Q1vの上昇に伴つてトランジスタQ3がオンになり、インバータ131の出力端子からHレベルの時差検出信号Tdfが出力されて積分回路20内の抵抗R3の一端に供給されるので、第1ディレーリ回路14による遅延制御が乱される。しかし、Q2制御信号Q2cがHレベルの間(時刻 $t_3$ ～時刻 $t_5$ の間)は、時差検出回路13のトランジスタQ4はオンされるので、トランジスタQ3はオフになり、時差検出信号TdfはLレベルを維持する。また、整流平滑回路では、L10→C10→D11→L10と電流が流れ、負荷30に電流を供給する。
- [0052] また、HレベルのQ2制御信号Q2cは、バッファ151を介してダイオードD4のカソ-

ドに入力されるため、ダイオードD4が逆バイアス状態となる。このため、電源Vccから抵抗R6を介してコンデンサC5に電流が流れ、コンデンサC5が充電されていく。即ち、R6とC5との時定数で決定される遅延時間だけ立上り時刻を遅延させたQ2ゲート信号Q2gが、第2ディレーハ回路15により生成される。

- [0053] そして、Q2ゲート信号Q2gは、時刻 $t_4$ において、ハイサイドドライバ17を介して補助スイッチQ2のゲートに印加されて、補助スイッチQ2をオンさせる。このため、トランジストの1次巻線P1に蓄えられたエネルギーがコンデンサC2に供給され、コンデンサC2が充電されていく。次に、コンデンサC2に蓄えられたエネルギーは、C2→Q2→P1→C2に流れる。
- [0054] このように、本実施例の直流変換装置によれば、補助スイッチQ2がオフした後に主スイッチQ1の最小電圧から主スイッチQ1がオンするまでの時間を検出して積分し、積分結果に基づき主スイッチQ1の最小電圧から主スイッチQ1がオンするまでの時間がゼロになるようにフィードバック制御することにより、従来のようなボトム検出回路を使用した場合に生じる誤差や外乱による検出点の乱れによる動作の不安定な点を改善し、安定な動作を得ることができる。
- [0055] また、時差検出回路13から出力される時差検出信号Tdfは、主スイッチQ1が最小電圧でオンすると出力されなくなるので、時差検出信号Tdfを積分回路20を用いて主スイッチQ1の制御信号を制御することにより、主スイッチQ1を最小電圧近傍でオンさせることができる。また、積分回路20を用いているので、安定した動作が得られる。
- [0056] また、主スイッチQ1の最小電圧から主スイッチQ1がオンするまでの時間差を検出しているので、主スイッチQ1の制御信号を印加してから主スイッチQ1がオンするまでの遅れの影響をなくすことができる。その結果、主スイッチQ1を高速でオンさせる必要がなく、スイッチングノイズを低減できる。
- [0057] 第1実施例の変更実施例

図7は第1実施例の変更実施例の直流変換装置の回路構成図である。図7に示す第1実施例の変形例の直流変換装置は、図6に示す第1実施例の直流変換装置に対して、時差検出回路のみが異なる。以下では、図6に示す構成部分と同一部分に

は同一符号を付して、その説明は省略する。

- [0058] 図7に示す時差検出回路13aにおいて、トランジスタQ3のベースには、ダイオードD1のカソードと抵抗R1の一端とコンデンサC1の一端が接続され、トランジスタQ3のエミッタはダイオードD1のアノードと抵抗R1の他端に接続されるとともに接地されている。トランジスタQ3のコレクタには抵抗R2の一端とNORゲート132の一方の入力端子とが接続され、抵抗R2の他端は電源Vccに接続され、NORゲート132の他方の入力端子にはインバータ12の出力端子が接続されている。NORゲート132の出力端子は積分回路20に接続されている。また、コンデンサC1の他端は主スイッチQ1のドレインに接続されている。
- [0059] このように構成された第1実施例の変形例の直流変換装置の動作を図8に示すタイミングチャートを参照しながら説明する。ここでは、時差検出回路13aの動作を主に説明する。
- [0060] 時刻 $t_1$ ～時刻 $t_2$ において、主スイッチQ1の電圧Q1vが減少していくと、時差検出回路13aでは、D1→C1→P1→Vin→GNDと電流が流れ、トランジスタQ3がオフする。このため、トランジスタQ3のコレクタがHレベルになり、制御信号SG1としてNORゲート132の一方の入力端子に供給される。これにより、NORゲート132は、その他方の入力端子に入力される信号とは無関係に、出力端子からLレベルの時差検出信号Tdfを出力し、積分回路20内の抵抗R3の一端に供給する。
- [0061] 時刻 $t_2$ において、電圧Q1vが最小値(ボトム)となると、Vin→P1→C1→Q3と電流が流れ、トランジスタQ3がオンする。これにより、トランジスタQ3のコレクタがLレベルになり、制御信号SG1としてNORゲート132の一方の入力端子に供給される。この際、NORゲート132は、その他方の入力端子にLレベルのQ2制御信号Q2cが入力されているので、出力端子からHレベルの時差検出信号Tdfを出力し、積分回路20の抵抗R3の一端に供給する。
- [0062] 従って、時刻 $t_2$ ～時刻 $t_{21}$ の期間において、Hレベルの時差検出信号Tdfが積分回路20の抵抗R3の一端に供給される。このため、抵抗R3とコンデンサC3との接続点からの積分出力Intは、より高い電圧となって、誤差增幅器141の非反転端子+に入力されるため、誤差增幅器141の出力から積分出力の値に応じた電圧が得られる。

- [0063] 即ち、積分回路20からの積分出力Intの値の増大に応じて充電電流が供給されるので、コンデンサC4の充電時間が短くなり、Q1制御信号Q1cの立上り時刻からQ1ゲート信号Q1gの立上り時刻までの遅延時間をより短く設定することができる。従って、既に説明したように、実際のQ1ゲート信号Q1gの立上り時刻(オン時刻)を遅延制御することにより、主スイッチQ1の最小電圧から主スイッチQ1がオンするまでの時間がゼロに近づくように適応制御される。
- [0064] このように、第1実施例の変形例に係る直流変換装置においても、第1実施例の直流変換装置の効果と同様な効果が得られる。
- [0065] 第2実施例

図9は第2実施例の直流変換装置の回路構成図である。図9に示す第2実施例の直流変換装置は、図7に示す第1実施例の変形例の直流変換装置に対して、パルス生成回路21が追加されるとともに、積分回路20を演算回路22に変更した点が異なる。以下では、図7に示した構成部分と同一部分には同一符号を付して、その説明は省略又は簡略化する。

- [0066] 図9に示すパルス生成回路21は、インバータ12からのQ2制御信号Q2cの立上りエッジを検出する微分回路を構成している。パルス生成回路21において、NANDゲート212の一方の入力端子はインバータ12に接続され、他方の入力端子は、抵抗R7及びコンデンサC6からなる積分回路並びにインバータ211を介してインバータ12に接続されている。パルス生成回路21は、抵抗R7及びコンデンサC6の時定数により決定されるパルス幅を有するLレベルの微分信号Dfを生成し、演算回路22に出力する。パルス生成回路21は、スイッチQ1のオン／オフの1周期毎に演算回路22による加算結果から一定の値を減算する本発明の減算手段に対応する。
- [0067] 演算回路22は、時差検出回路13aの出力を加算する本発明の加算手段に対応し、ダイオードD5のカソードと抵抗R3とコンデンサC3の一端とが直列接続されてなり、ダイオードD5のアノードは時差検出回路13aのNORゲート132の出力端子に接続され、コンデンサC3の他端は接地されている。また、抵抗R3とコンデンサC3との接続点は、抵抗R8の一端に接続され、抵抗R8の他端はダイオードD6のアノードに接続されている。ダイオードD6のカソードは、パルス生成回路21のNANDゲート212

の出力端子に接続されている。さらに、抵抗R3とコンデンサC3の接続点から演算出力Intが第1ディレーレ回路14の誤差増幅器141の非反転端子+に出力される。

[0068] 次に、このように構成された第2実施例の直流変換装置の動作を図10に示すタイミングチャートを参照しながら説明する。ここでは、時差検出回路13a、パルス生成回路21及び演算回路22の動作を中心に説明する。

[0069] まず、時刻 $t_1$ ～時刻 $t_2$ において、主スイッチQ1の電圧Q1vが減少していくと、時差検出回路13aでは、D1→C1→P1→Vin→GNDと電流が流れ、トランジスタQ3がオフする。このため、トランジスタQ3のコレクタがHレベルになり、制御信号SG1としてNORゲート132の一方の入力端子に供給される。これにより、NORゲート132は、その他方の入力端子に入力される信号とは無関係に、出力端子からLレベルの時差検出信号Tdfを出力し、演算回路22内のダイオードD5のアノードに供給する。

[0070] 時刻 $t_2$ において、電圧Q1vが最小値(ボトム)となると、Vin→P1→C1→Q3と電流が流れ、トランジスタQ3がオンする。これにより、トランジスタQ3のコレクタがLレベルになり、制御信号SG1としてNORゲート132の一方の入力端子に供給される。この際、NORゲート132は、その他方の入力端子にLレベルのQ2制御信号Q2cが入力されているので、出力端子からHレベルの時差検出信号Tdfを出力し、演算回路22内のダイオードD5のアノードに供給する。

[0071] 従って、時刻 $t_2$ ～時刻 $t_{21}$ まで、Hレベルの時差検出信号Tdfが演算回路22のダイオードD5のアノードに供給される。このため、抵抗R3を介してコンデンサC3に電荷が蓄積され、抵抗R3とコンデンサC3との接続点の電位が上昇する。この接続点からの演算出力Intは、誤差増幅器141の非反転端子+に入力されるため、誤差増幅器141の出力から演算出力の値に応じた電圧が得られる。

[0072] 即ち、演算回路22からの演算出力Intの値に応じて、コンデンサC4の充電時間が短くなることで、Q1制御信号Q1cの立上り時刻からQ1ゲート信号Q1gの立上り時刻までの遅延時間を短くすることができる。従って、既に説明したように、実際のQ1ゲート信号Q1gの立上り時刻(オン時刻)を遅延制御することにより、主スイッチQ1の最小電圧から主スイッチQ1がオンするまでの時間がゼロに近づくように制御される。

[0073] また、Q2制御信号Q2cがHレベルの間(時刻 $t_3$ ～時刻 $t_5$ の間)は、NORゲート13

2の制御により、時差検出回路13aからはLレベルの時差検出信号Tdfが outputされる。また、パルス生成回路21は、Q2制御信号Q2cがHレベルになってから所定期間だけLレベルの微分信号Dfを出力するため、演算回路22内のコンデンサC3の電荷は、抵抗R8及びダイオードD6を介して放電され、抵抗R3とコンデンサC3の接続点の電位は低下する。これにより、次回に発生される時差検出信号Tdfのパルス幅が狭くとってもコンデンサC3への電荷の蓄積が容易になる。

[0074] このように、第2実施例の直流変換装置によれば、第1実施例の変形実施例の直流変換装置の効果が得られるとともに、さらに、軽負荷時等の効率改善でスイッチング周波数を制御した場合において、周波数が変化した場合であっても、時差検出信号Tdfの積分値を一定にできるので、高精度な制御が可能になる。

[0075] 第3実施例

図11は第3実施例の直流変換装置の回路構成図である。図11に示す第3実施例の直流変換装置は、図3に示す第1実施例の直流変換装置に対して、ボトム検出回路113とオン検出回路23と抵抗Rを追加し、時差検出回路13bは、ボトム検出回路113とオン検出回路23の出力に基づいて動作する。以下では、図3に示す構成部分と同一部分には同一符号を付して、その説明は省略又は簡略化する。

[0076] ボトム検出回路113は、補助スイッチQ2がオフした後に主スイッチQ1の最小電圧(ボトム電圧)を検出し、ボトム検出信号Btmとして時差検出回路13bに出力する。抵抗Rは、直流電源Vinの負極端と主スイッチQ1のソースとの間に接続されている。

[0077] オン検出回路23は、主スイッチQ1がオンされたことを検出し、On信号として時差検出回路13bに送る。時差検出回路13bは、ボトム検出回路113からのボトム検出信号Btmとオン検出回路23からのOn信号とに基づいて、補助スイッチQ2がオフした後に主スイッチQ1の最小電圧(ボトム電圧)から主スイッチQ1がオンするまでの時間を検出し、時差検出信号Tdfとして積分回路20に出力する。

[0078] 図12は第3実施例の直流変換装置の具体的な回路例である。図12に示すボトム検出回路113において、トランジスタQ3のベースには、ダイオードD1のカソードと抵抗R1の一端とコンデンサC1の一端とが接続され、トランジスタQ3のエミッタはダイオードD1のアノードに接続されると共に接地されている。トランジスタQ3のコレクタには

抵抗R2の一端が接続され、抵抗R1の他端及び抵抗R2の他端は、電源Vccに接続されている。コンデンサC1の他端は、主スイッチQ1のドレインに接続されている。

- [0079] オン検出回路23において、誤差増幅器231の反転端子一には基準電源Er1が接続され、非反転端子+は主スイッチQ1のソースと抵抗Rとの接続点に接続されている。誤差増幅器231の出力端子は、時差検出回路13bに接続されている。
- [0080] 時差検出回路13bにおいて、インバータ241の入力端子はオン検出回路23の誤差増幅器231の出力端子に接続されてOn信号が入力され、インバータ241の出力端子はANDゲート243の入力端子に接続されている。また、インバータ242の入力端子はボトム検出回路113のトランジスタQ3のコレクタに接続されてボトム検出信号Btmが入力され、インバータ242の出力端子はANDゲート243の入力端子に接続されている。ANDゲート243の入力端子には、インバータ241の出力と、インバータ242の出力と、制御回路11からのQ1制御信号Q1cが入力される。ANDゲート243は、時差検出信号Tdfを積分回路20に出力する。
- [0081] このように構成された第3実施例の直流変換装置の動作を図13に示すタイミングチャートを参照しながら説明する。ここでは、ボトム検出回路113、オン検出回路23、及び時差検出回路13bの動作を主に説明する。
- [0082] まず、時刻 $t_1$ ～時刻 $t_2$ において、主スイッチQ1の電圧Q1vが減少していくと、ボトム検出回路113では、D1→C1→P1→Vin→GNDと電流が流れ、トランジスタQ3がオフする。このため、トランジスタQ3のコレクタがHレベルになり、ボトム検出信号Btmとして時差検出回路13bのインバータ242の入力端子に供給される。これにより、ANDゲート243は、その他の入力端子に入力される信号とは無関係に、出力端子からLレベルの時差検出信号Tdfを出力し、積分回路20内の抵抗R3の一端に供給する。
- [0083] 次に、コンデンサC1の放電が終了し、時刻 $t_2$ において、抵抗R1から供給される電流がコンデンサC1の放電電流より大きくなると、Vcc→R1→Q3と電流が流れ、トランジスタQ3がオンする。このため、ボトム検出回路113により電圧Q1vの最小値(ボトム)が検出される。このとき、トランジスタQ3のコレクタからLレベルのボトム検出信号Btmが時差検出回路13bのインバータ242の入力端子に供給され、インバータ242で

反転されてANDゲート243に入力される。このとき、主スイッチQ1はオンされていないため、オン検出回路23はLレベルのOn信号を出力する。On信号は、時差検出回路13bのインバータ241の入力端子に供給され、インバータ242で反転されてANDゲート243に入力される。さらに、時刻 $t_2$ においては、Q1制御信号Q1cはHレベルになっているため、ANDゲート243は、その出力端子からHレベルの時差検出信号Tdfを出力し、積分回路20内の抵抗R3の一端に供給する。

- [0084] 従って、時刻 $t_2$ ～時刻 $t_{21}$ まで、Hレベルの時差検出信号Tdfが積分回路20の抵抗R3の一端に供給される。このため、抵抗R3とコンデンサC3との接続点からの積分出力Intは、高い電圧となって、誤差増幅器141の非反転端子+に入力されるため、誤差増幅器141の出力から積分出力の値に応じた電圧が得られる。
- [0085] 即ち、積分回路20からの積分出力Intの値の増大にともなってコンデンサC4の充電時間が短くなることで、Q1制御信号Q1cの立上り時刻からQ1ゲート信号Q1gの立上り時刻までの遅延時間を短くすることができる。従って、既に説明したように、実際のQ1ゲート信号Q1gの立上り時刻(オン時刻)を遅延制御することにより、主スイッチQ1の最小電圧から主スイッチQ1がオンするまでの時間がゼロに近づくように制御される。
- [0086] 時刻 $t_{21}$ において、主スイッチQ1がオンして、主スイッチQ1に電流が流れることにより、主スイッチQ1のソースに接続された抵抗Rの両端に電圧が発生し、オン検出回路23の誤差増幅器231の非反転端子+に供給される。これにより、誤差増幅器231から出力されるOn信号がHレベルになる。On信号は、時差検出回路13bのインバータ241の入力端子に供給され、インバータ241で反転されてANDゲート243に入力される。従って、ANDゲート243から出力される時差検出信号Tdfは、主スイッチQ1がオンされることによりLレベルに変化する。
- [0087] 時刻 $t_3$ において、主スイッチQ1がオフすると、主スイッチQ1のソースに接続された抵抗Rの両端の電圧が減少し、誤差増幅器231から出力されるOn信号がLレベルになる。On信号は、時差検出回路13bのインバータ241の入力端子に供給され、インバータ241で反転されてANDゲート243に入力される。しかし、時刻 $t_3$ ～時刻 $t_5$ の間は、LレベルのQ1制御信号Q1cがANDゲート243に入力されるので、ANDゲート2

43から出力される時差検出信号Tdfは、Lレベルを維持する。

[0088] このように、第3実施例の直流変換装置においても、第1実施例の直流変換装置の効果と同様な効果が得られる。

[0089] 第4実施例

第4実施例の直流変換装置を説明する。本実施例の直流変換装置では、トランスの1次巻線に直列に接続されるリアクトルのインダクタンスの値を大きくし、主スイッチQ1がオン時にリアクトルに蓄えられるエネルギーを2次側に還流する補助トランスを設けたことを特徴とする。

[0090] 図14は第4実施例の直流変換装置を示す回路構成図である。図14に示す第4実施例の直流変換装置は、図3に示す第1実施例の直流変換装置に対して、トランスT1及びトランスT1の周辺回路が異なるので、その部分についてのみ説明する。

[0091] 本実施例では、補助トランスをトランスT1に結合したもので、トランスT1には、1次巻線P1(巻数n1、補助トランスT1の1次巻線を兼用)と2次巻線S1(巻数n2)と3次巻線S2(巻数n3、補助トランスT1の2次巻線に対応)とが巻回されている。

[0092] トランスT1の2次巻線S1と3次巻線S2との直列回路の両端には、ダイオードD8とコンデンサC10との直列回路が接続されている。2次巻線S1と3次巻線S2との接続点とダイオードD8とコンデンサC10との接続点とには、ダイオードD7が接続されている。1次巻線P1と2次巻線S1とは同相に巻回され、1次巻線P1と3次巻線S2とは逆相に巻回されている。

[0093] トランスT1の2次巻線S1を1次巻線P1と疎結合させ、1次巻線P1及び2次巻線S1間のリーケージインダクタンスにより、トランスT1に直列に接続されるリアクトル(図示せず)を代用している。トランスT1の3次巻線S2を1次巻線P1と密結合させている。

[0094] このように構成された本実施例の直流変換装置の動作を説明する。基本的な動作は、第1実施例の動作と同様であり、ここでは、トランスT1の2次側回路の動作を中心にして説明する。

[0095] まず、主スイッチQ1をオンさせると、 $V_{in} \rightarrow P1 \rightarrow Q1 \rightarrow V_{in}$ で電流が流れる。また、この時刻に、トランスT1の2次巻線S1にも電圧が発生し、 $S1 \rightarrow D7 \rightarrow C10 \rightarrow S1$ で電流が流れる。このため、ダイオードD7の電流が直線的に増大する。

- [0096] 次に、主スイッチQ1をオフさせると、トランスT1のインダクタンスに蓄えられたエネルギーは、トランスT1を介して2次側に還流される。2次側では、トランスT1の3次巻線S2に電圧が誘起されるため、S2→D8→C10→S1→S2と電流が流れる。このため、ダイオードD8に電流が流れる。
- [0097] このように、トランスT1の1次巻線P1に直列に接続されるインダクタンスの値を大きくし、主スイッチQ1がオン時に蓄えられるエネルギーをトランスT1を介して2次側に還流するため、効率が良くなる。また、ダイオードD7及びダイオードD8により、主スイッチQ1のオン、オフ期間に2次側電流が流れ連続的となる。このため、コンデンサC10のリップル電流も減少する。
- [0098] 次に、補助トランスをトランスT1に結合したトランスの構成例を図15に示す。図15に示すトランスは、矩形状の外形を有するコア40を備え、コア40には磁路41a, 41b, 41cを構成するように磁路の長手方向に平行に長形の間隙42a, 42bが形成されている。磁路41bを構成するコア部40aには、1次巻線P1と3次巻線S2とが近接して巻回されている。これにより、1次及び3次巻線間にわずかなリーケージインダクタンスを持たせ、また、コア40には磁路41aを構成するバスコア40cとギャップ41が形成され、外周コアには2次巻線S1が巻回されている。即ち、バスコア40cにより、1次巻線P1と2次巻線S1を疎結合させることにより、リーケージインダクタンスを大きくしている。このリーケージインダクタンスをリアクトル(図示せず)の代替としている。
- [0099] また、外周コア上で且つ1次巻線P1と2次巻線S1との間に、凹部40bが2箇所形成されている。この凹部40bにより、外周コアの磁路の一部の断面積が他の部分よりも狭くなり、その部分のみが飽和するので、コア損失を低減できる。
- [0100] このように、トランスTのコアの形状と巻線の工夫により、トランスT1とリアクトルのエネルギーを2次側に帰還する補助トランスとを一つのコア40に結合し、バスコア40cを設けることにより、大きなリーケージインダクタンスを得て、トランス部分とリアクトルとを結合したので、直流変換装置を小型化、低価格化することができる。
- [0101] なお、上述した第1実施例～第4実施例では、トランスの1次巻線P1の両端に、補助スイッチQ2とコンデンサC2とからなる直列回路を接続したが、この直列回路は、例えば、主スイッチQ1の両端に接続しても良い。

[0102] また、第1実施例ー第4実施例では、トランスの1次巻線P1と主スイッチQ1とからなる直列回路に、直流電源Vinを接続したが、例えば、この直列回路に、交流電源の交流電圧を整流して整流電圧を得る整流電圧部を接続しても良い。

[0103] また、第1実施例ー第4実施例では、主スイッチQ1に寄生コンデンサのみを有していたが、主スイッチQ1の両端にさらにコンデンサを接続しても良い。

[0104] さらに、第1実施例ー第3実施例の直流変換装置のトランスの2次側回路に代えて、図14に示す第4実施例の直流変換装置のトランスの2次側回路を用いても良い。

[0105] また、第2ディレーリー回路15にも第1ディレーリー回路14のような遅延制御を行なっても良い。

#### [0106] 発明の効果

本発明によれば、主スイッチの電圧がボトムに達してから、主スイッチがオンするまでの時間差を検出して有限のパルスを生成し、そのパルスが無くなるように主スイッチの制御信号を遅延させるので、ボトム検出回路の誤差や外乱による検出点の乱れによる動作の不安定な点を改善し、安定な動作を得ることができる。また、ボトム検出から主スイッチをオンさせるまでの遅れの影響をなくすことができるので、主スイッチを高速でオンさせる必要がなく、スイッチングノイズを低減できる。

#### 産業上の利用可能性

[0107] 本発明は、DC-DC変換型の電源回路やAC-DC変換型の電源回路に適用可能である。

## 請求の範囲

- [1] 直流変換装置であって、トランスの1次巻線に直列に接続された主スイッチとトランスの1次巻線の両端又は主スイッチの両端に接続され且つコンデンサ及び補助スイッチからなる直列回路の補助スイッチとを交互にオン／オフさせることによりトランスの2次巻線の電圧を整流平滑回路で整流平滑して直流出力を得るものが、  
前記補助スイッチがオフした後に前記主スイッチの最小電圧から主スイッチがオンするまでの時間を検出する時差検出手段と  
前記時差検出手段の出力に基づき前記主スイッチのオン時刻を遅延させ、前記主スイッチが前記最小電圧の近傍でオンするように制御する遅延制御手段と  
を具備することを特徴とする直流変換装置。
- [2] 直流変換装置であって、トランスの1次巻線に直列に接続された主スイッチとトランスの1次巻線の両端又は主スイッチの両端に接続され且つコンデンサ及び補助スイッチからなる直列回路の補助スイッチとを交互にオン／オフさせることによりトランスの2次巻線の電圧を整流平滑回路で整流平滑して直流出力を得るものが、  
前記補助スイッチがオフした後に前記主スイッチの電圧が減少していくときの前記主スイッチの最小電圧を検出するボトム検出手段と、  
前記主スイッチがオンしたことを検出するオン検出手段と、  
前記ボトム検出手段で最小電圧が検出されてから前記オン検出手段で前記主スイッチがオンしたことが検出されるまでの時間を検出する時差検出手段と、  
前記時差検出手段の出力に基づき前記主スイッチのオン時刻を遅延させ、前記主スイッチが前記最小電圧の近傍でオンするように制御する遅延制御手段と  
を具備することを特徴とする直流変換装置。
- [3] 請求項1記載の直流変換装置であって、さらに  
前記時差検出手段の出力を積分する積分手段を具備し、  
前記遅延制御手段は、前記積分手段の積分出力に基づき前記主スイッチのオン時刻を遅延させ、前記主スイッチが前記最小電圧の近傍でオンするように制御することを特徴とする直流変換装置。
- [4] 請求項2記載の直流変換装置であって、さらに

前記時差検出手段の出力を積分する積分手段を具備し、

前記遅延制御手段は、前記積分手段の積分出力に基づき前記主スイッチのオン時刻を遅延させ、前記主スイッチが前記最小電圧の近傍でオンするように制御することを特徴とする直流変換装置。

- [5] 請求項1記載の直流変換装置であって、さらに  
前記時差検出手段の出力を加算する加算手段と  
前記主スイッチのオン／オフの1周期毎に前記加算手段による加算結果から一定の値を減算する減算手段と  
を具備し、  
前記遅延制御手段は、前記加算手段の出力に基づき前記主スイッチのオン時刻を遅延させ、前記主スイッチが前記最小電圧の近傍でオンするように制御することを特徴とする直流変換装置。
- [6] 請求項2記載の直流変換装置であって、さらに  
前記時差検出手段の出力を加算する加算手段と  
前記主スイッチのオン／オフの1周期毎に前記加算手段による加算結果から一定の値を減算する減算手段と  
を具備し、  
前記遅延制御手段は、前記加算手段の出力に基づき前記主スイッチのオン時刻を遅延させ、前記主スイッチが前記最小電圧の近傍でオンするように制御することを特徴とする直流変換装置。
- [7] 請求項3記載の直流制御装置であって、  
前記遅延制御手段は、  
抵抗に直列に接続された遅延用コンデンサの充電時間により、前記主スイッチをオンさせる信号を所定時間だけ遅延させる遅延部と、  
前記積分手段の積分出力と基準電圧との差電圧を前記遅延用コンデンサに印加することにより、前記差電圧に応じて前記所定の遅延時間を短くさせる可変遅延部とを有し、  
前記遅延用コンデンサの電圧に基づき生成される制御信号を前記主スイッチの

制御端子に印加すること

を特徴とする直流変換装置。

[8] 請求項4の直流変換装置であって、

前記遅延制御手段は、

抵抗に直列に接続された遅延用コンデンサの充電時間により、前記主スイッチを  
オンさせる信号を所定時間だけ遅延させる遅延部と、

前記積分手段の積分出力と基準電圧との差電圧を前記遅延用コンデンサに印加  
することにより、前記差電圧に応じて前記所定の遅延時間を短くさせる可変遅延部と  
を有し、

前記遅延用コンデンサの電圧に基づき生成される制御信号を前記主スイッチの  
制御端子に印加することを特徴とする直流変換装置。

[9] 請求項5記載の直流変換装置であって、

前記遅延制御手段は、

抵抗に直列に接続された遅延用コンデンサの充電時間により、前記主スイッチを  
オンさせる信号を所定時間だけ遅延させる遅延部と、

前記加算手段の出力と基準電圧との差電圧を前記遅延用コンデンサに印加する  
ことにより、前記差電圧に応じて前記所定の遅延時間を短くさせる可変遅延部とを有  
し、

前記遅延用コンデンサの電圧に基づき生成される制御信号を前記主スイッチの  
制御端子に印加することを特徴とする直流変換装置。

[10] 請求項6記載の直流変換装置であって、

前記遅延制御手段は、

抵抗に直列に接続された遅延用コンデンサの充電時間により、前記主スイッチを  
オンさせる信号を所定時間だけ遅延させる遅延部と、

前記加算手段の出力と基準電圧との差電圧を前記遅延用コンデンサに印加する  
ことにより、前記差電圧に応じて前記所定の遅延時間を短くさせる可変遅延部とを有  
し、

前記遅延用コンデンサの電圧に基づき生成される制御信号を前記主スイッチの

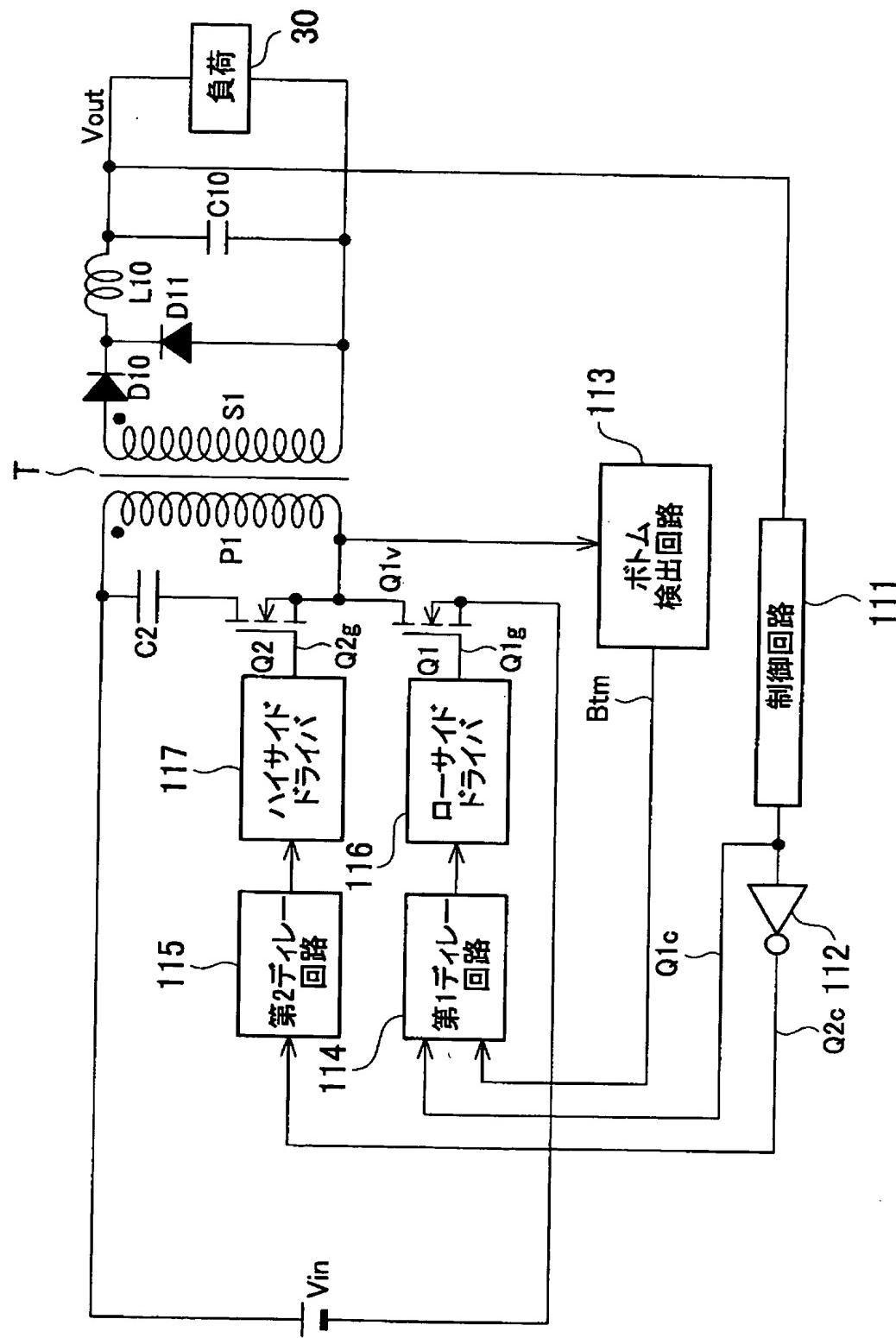
制御端子に印加することを特徴とする直流変換装置。

- [11] 請求項1記載の直流変換装置であって、さらに  
直流電源又は交流電源の交流電圧を整流して整流電圧を得る整流電圧部であつて、前記トランスの1次巻線と前記主スイッチとからなる直列回路の両端に接続されるものを具備することを特徴とする直流変換装置。
- [12] 請求項2記載の直流変換装置であって、さらに  
直流電源又は交流電源の交流電圧を整流して整流電圧を得る整流電圧部であつて、前記トランスの1次巻線と前記主スイッチとからなる直列回路の両端に接続されるものを具備することを特徴とする直流変換装置。
- [13] 請求項1記載の直流変換装置であって、さらに  
前記トランスの1次巻線と前記主スイッチとの間に接続されるリアクトルと、  
前記主スイッチがオン時に前記リアクトルに蓄えられたエネルギーを前記主スイッチ  
がオフ時に2次側に還流させる補助トランスであって、前記トランスに直列に接続され  
るものと  
を具備することを特徴とする直流変換装置。
- [14] 請求項2記載の直流変換装置であって、さらに  
前記トランスの1次巻線と前記主スイッチとの間に接続されるリアクトルと、  
前記主スイッチがオン時に前記リアクトルに蓄えられたエネルギーを前記主スイッチ  
がオフ時に2次側に還流させる補助トランスであって、前記トランスに直列に接続され  
るものと  
を具備することを特徴とする直流変換装置。
- [15] 請求項13の直流変換装置であって、  
前記リアクトルは、前記トランスのコアに疎結合させて巻回された前記トランスの1次  
巻線及び2次巻線間のリーケージインダクタンスからなり、  
前記トランスのコアには前記トランスの1次巻線と前記補助トランスの2次巻線とが密  
結合させて巻回されることを特徴とする直流変換装置。
- [16] 請求項14の直流変換装置であって、  
前記リアクトルは、前記トランスのコアに疎結合させて巻回された前記トランスの1次

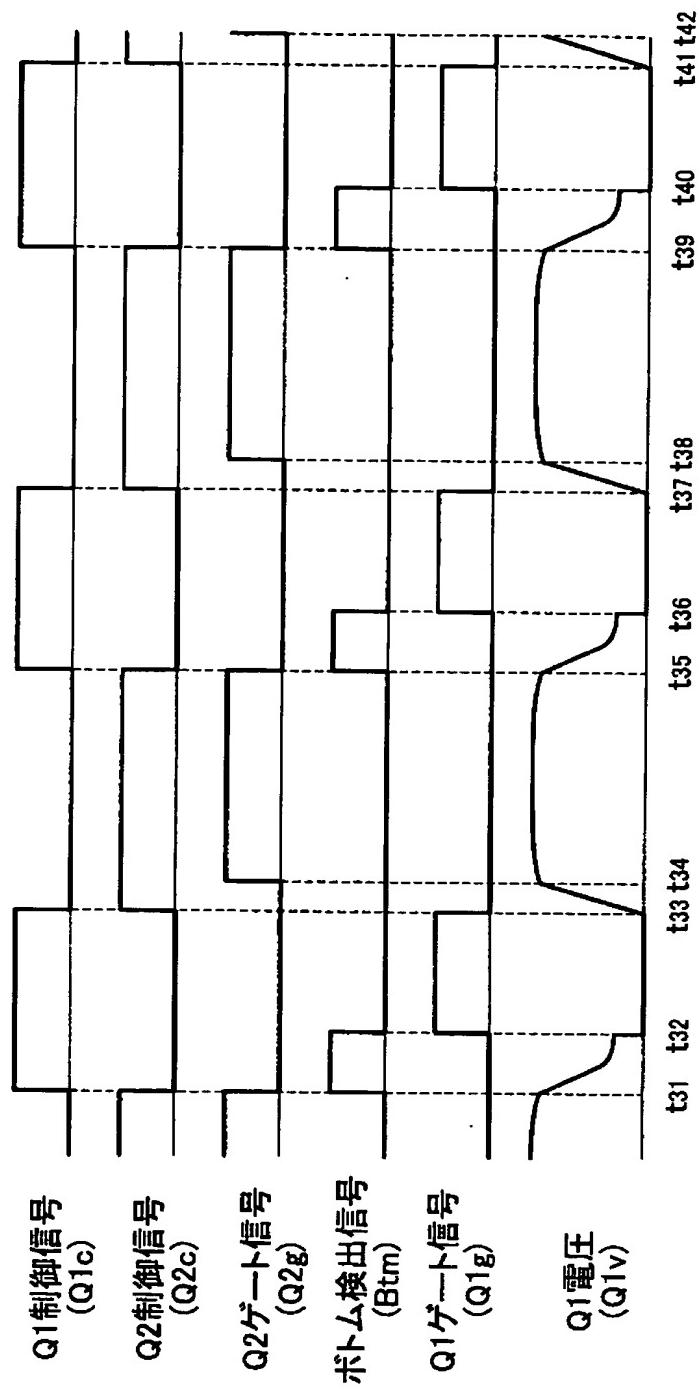
巻線及び2次巻線間のリーケージインダクタンスからなり、

前記トランスのコアには前記トランスの1次巻線と前記補助トランスの2次巻線とが密結合させて巻回されることを特徴とする直流変換装置。

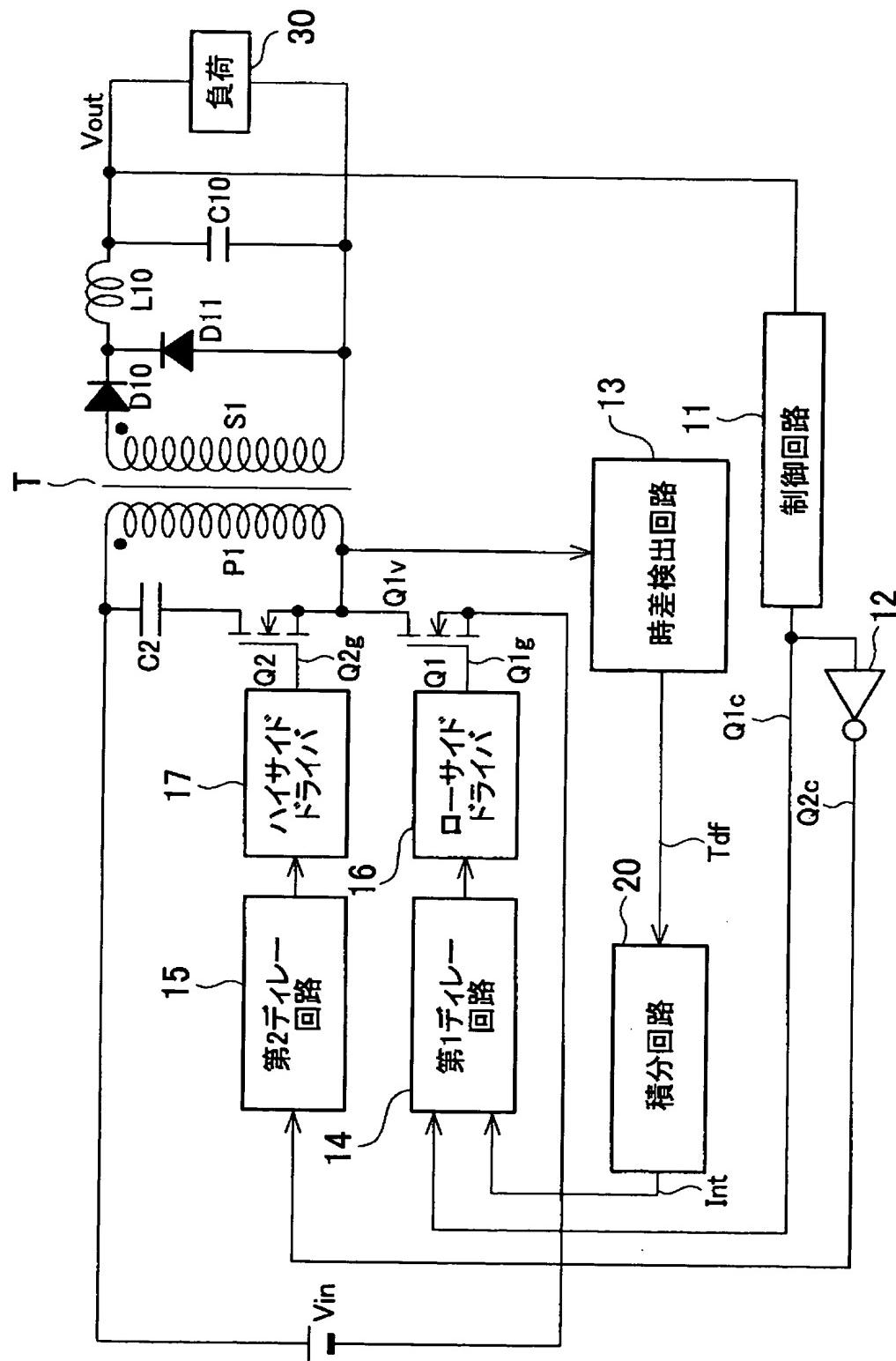
[図1]



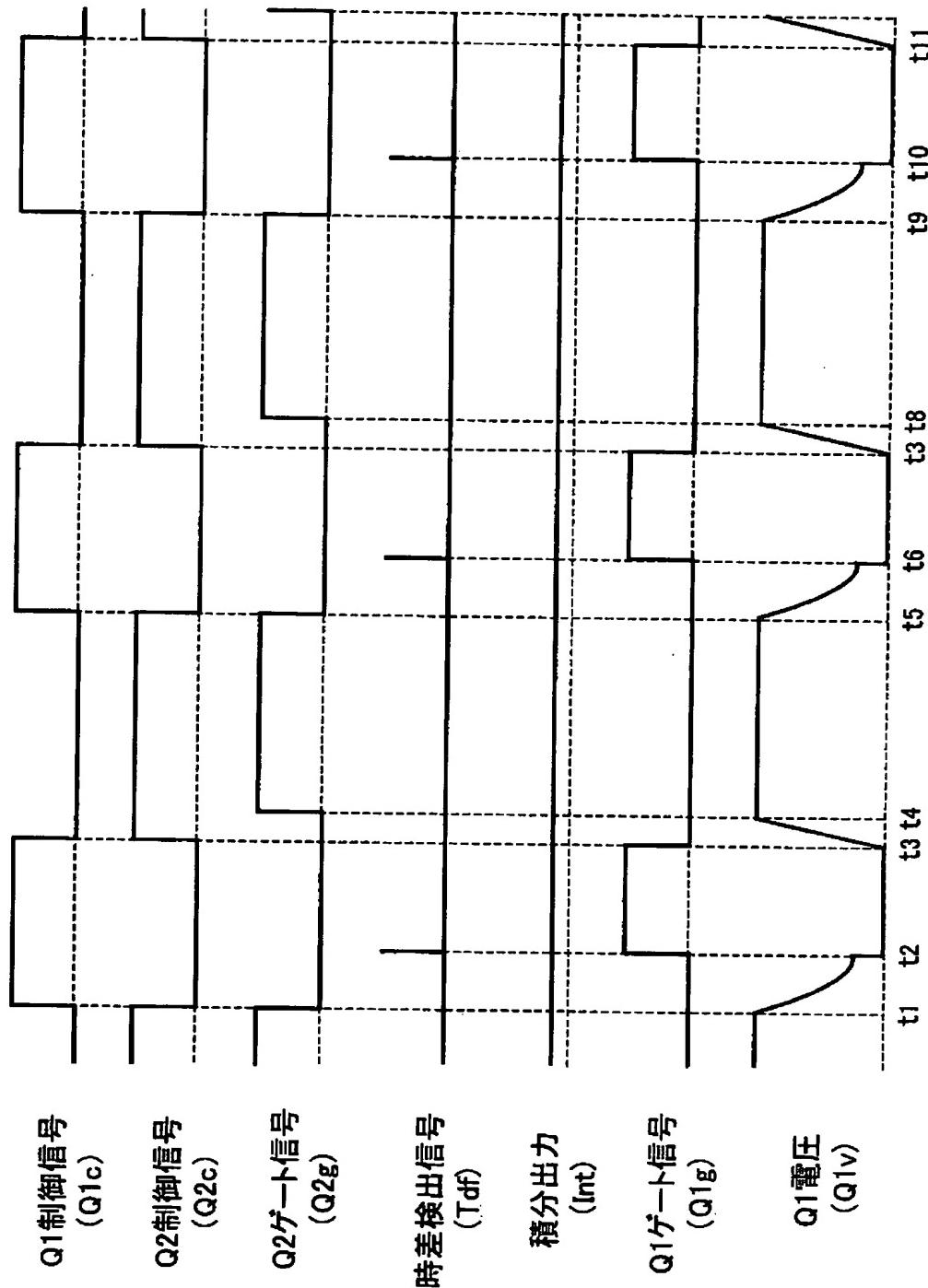
[図2]



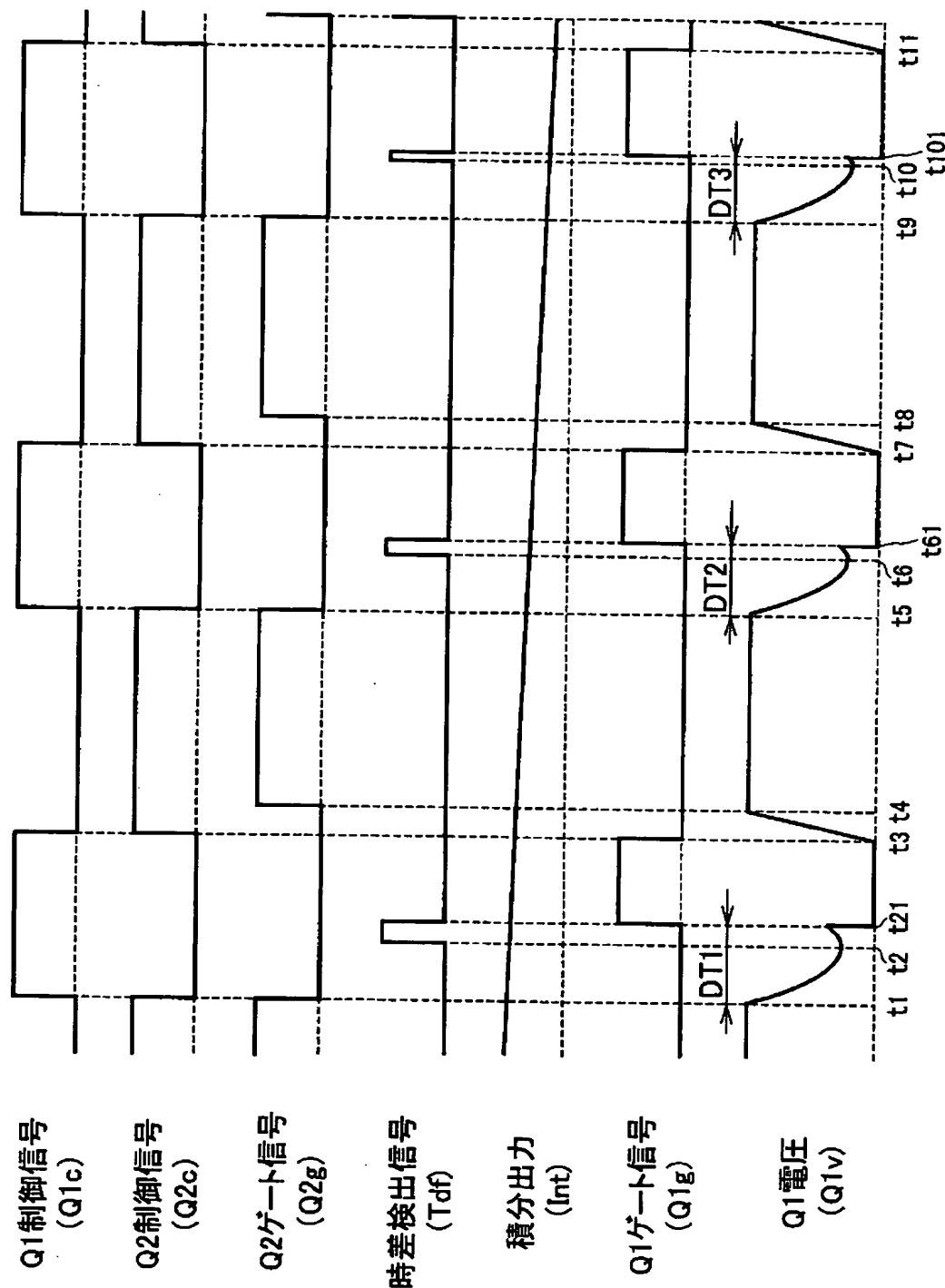
[図3]



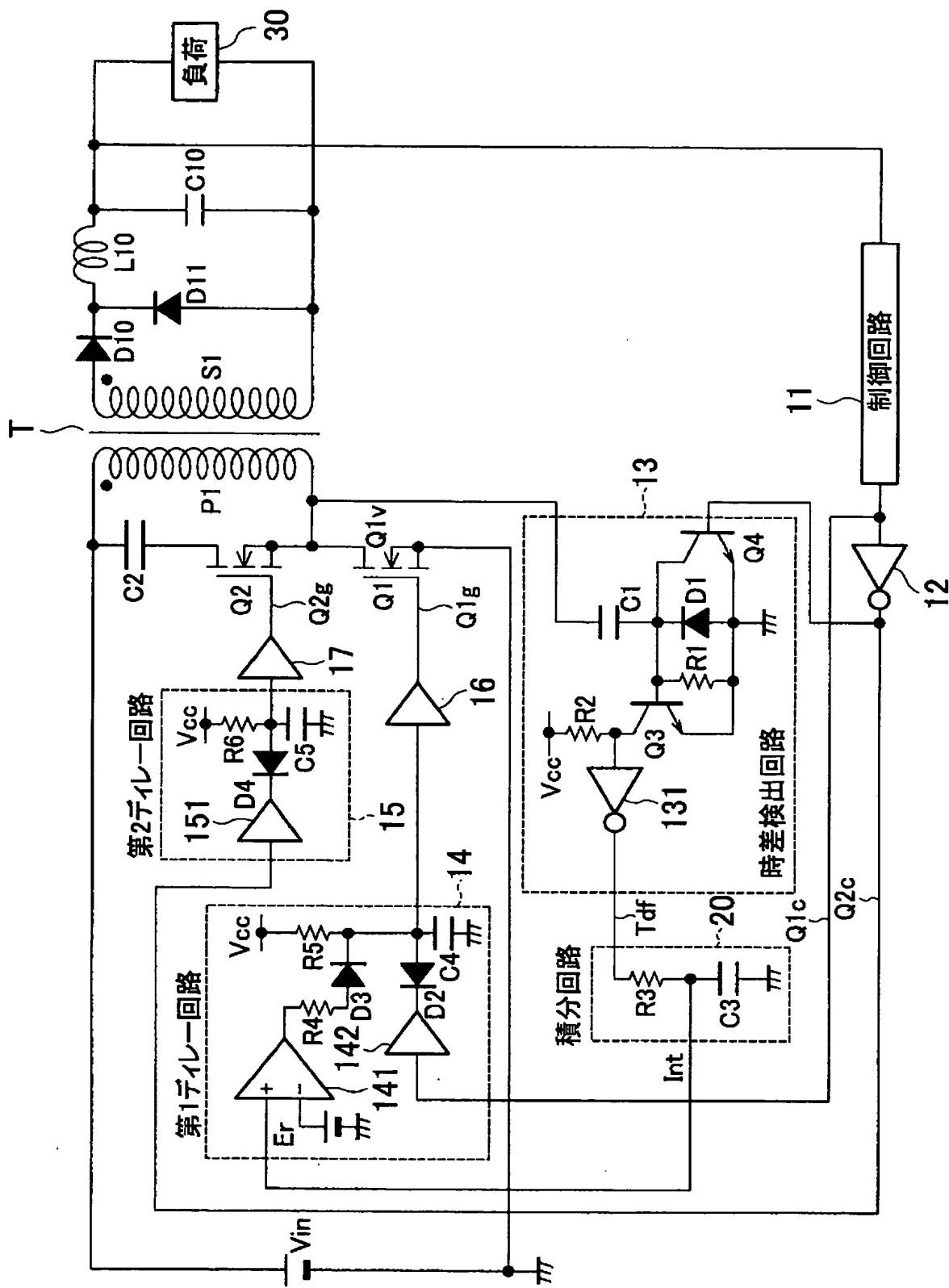
[図4]



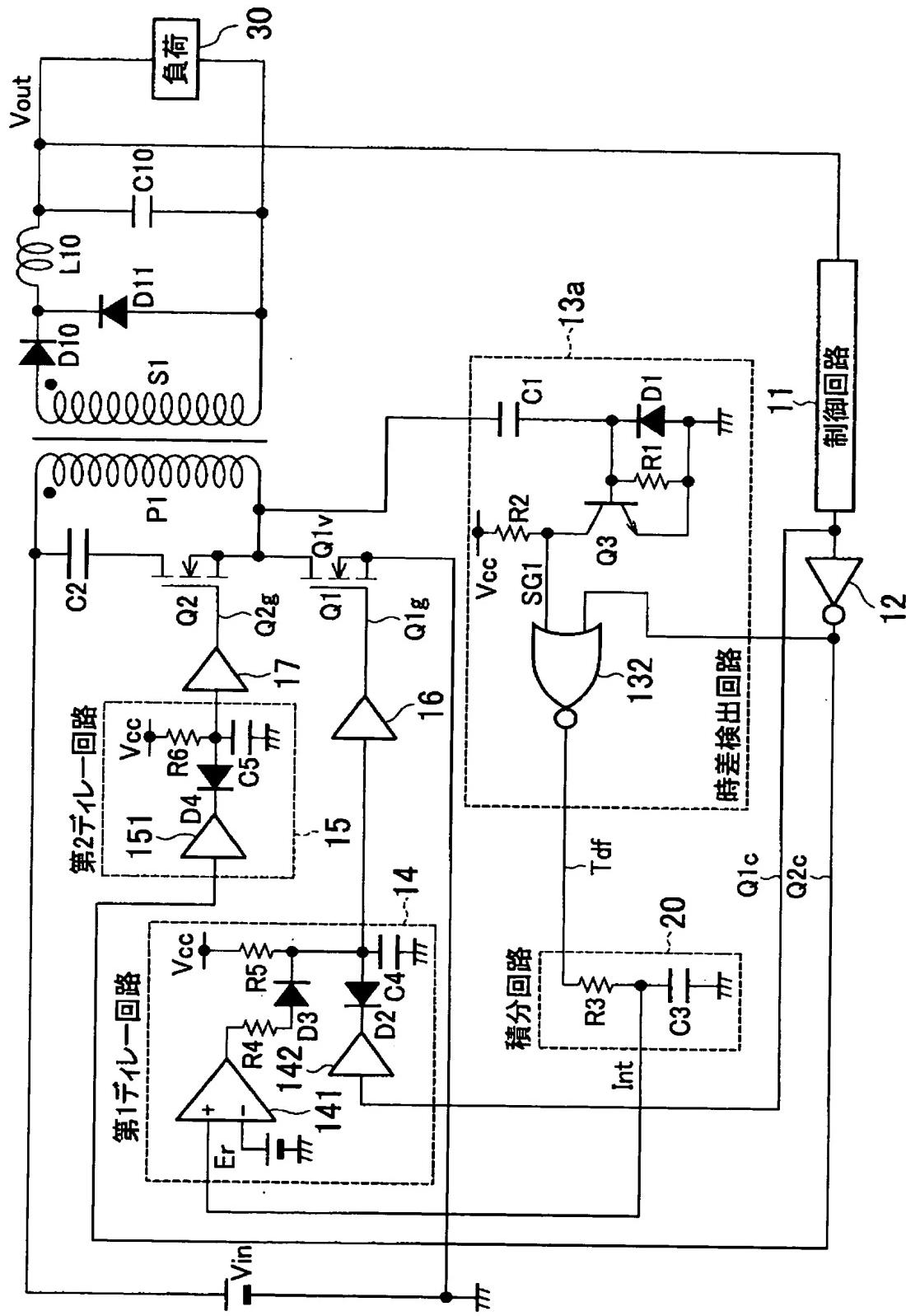
[図5]



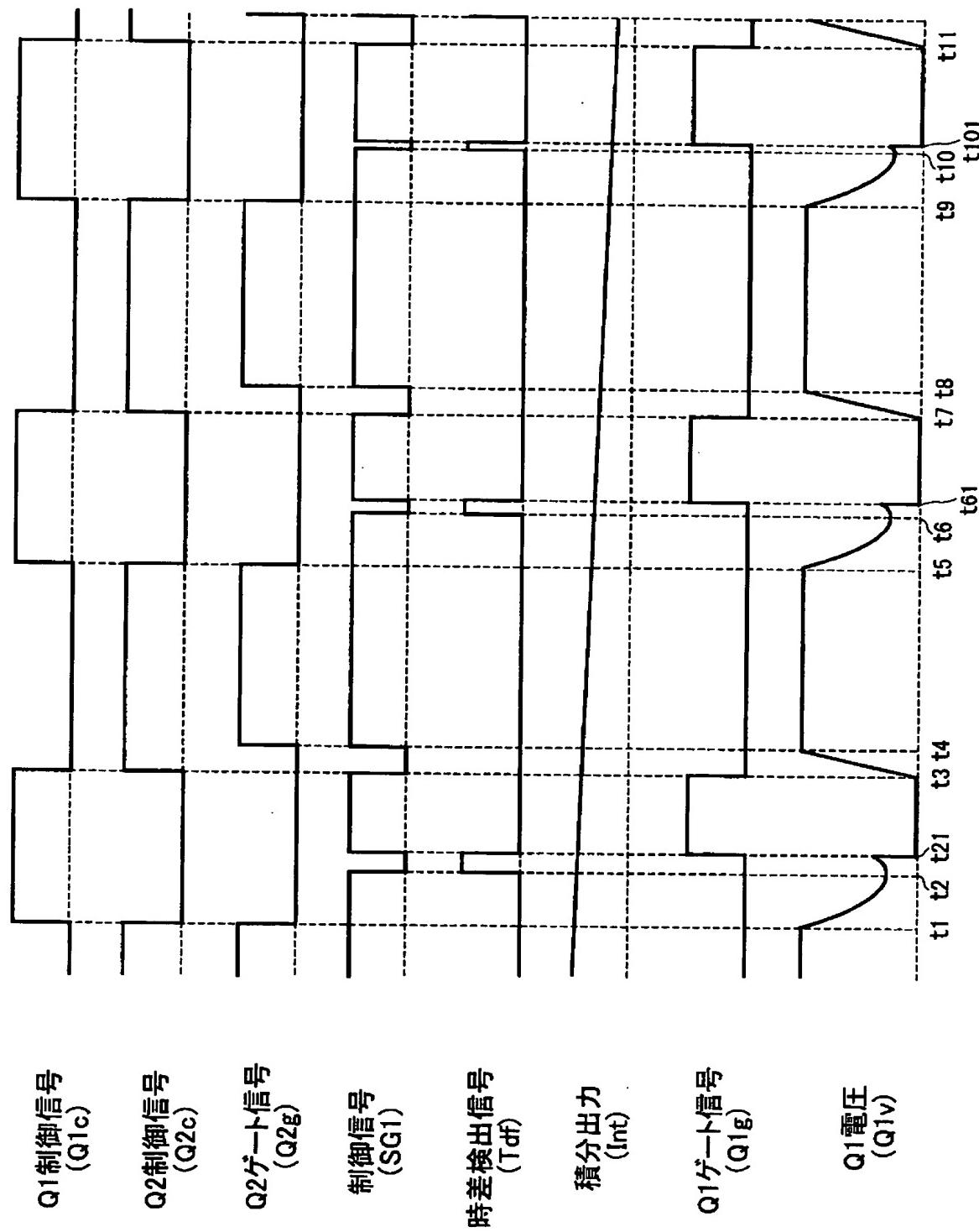
[図6]



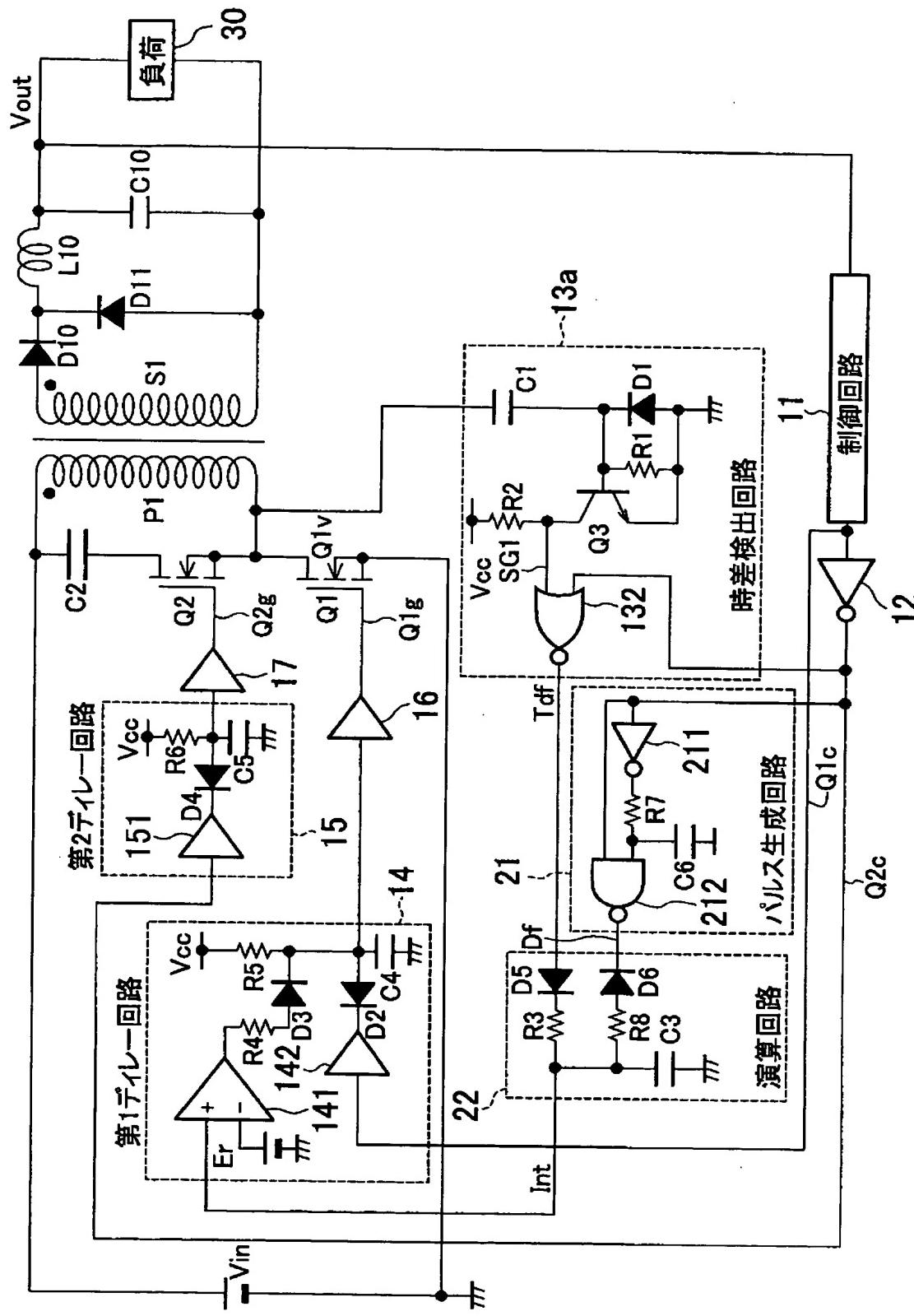
[図7]



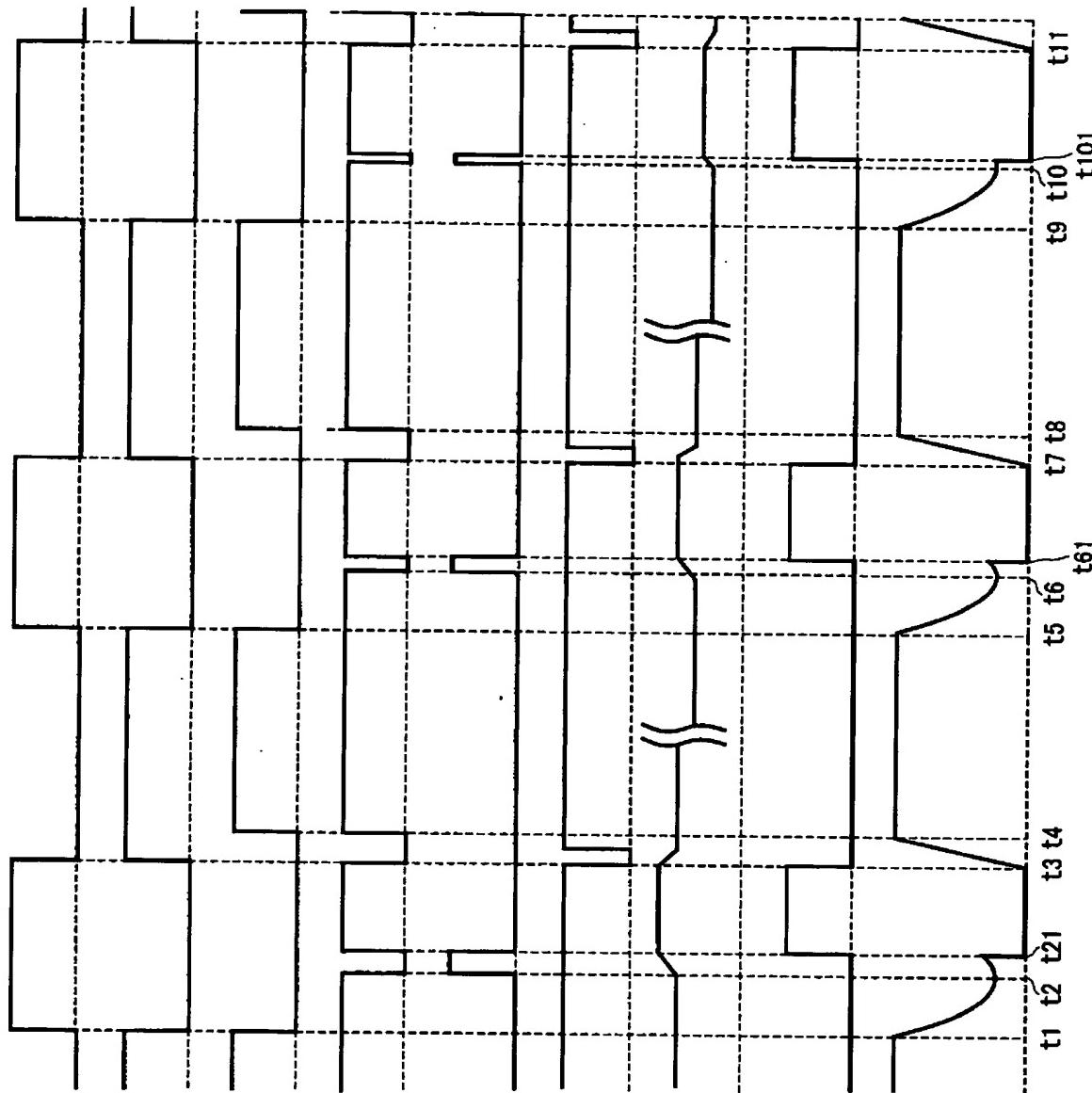
[図8]



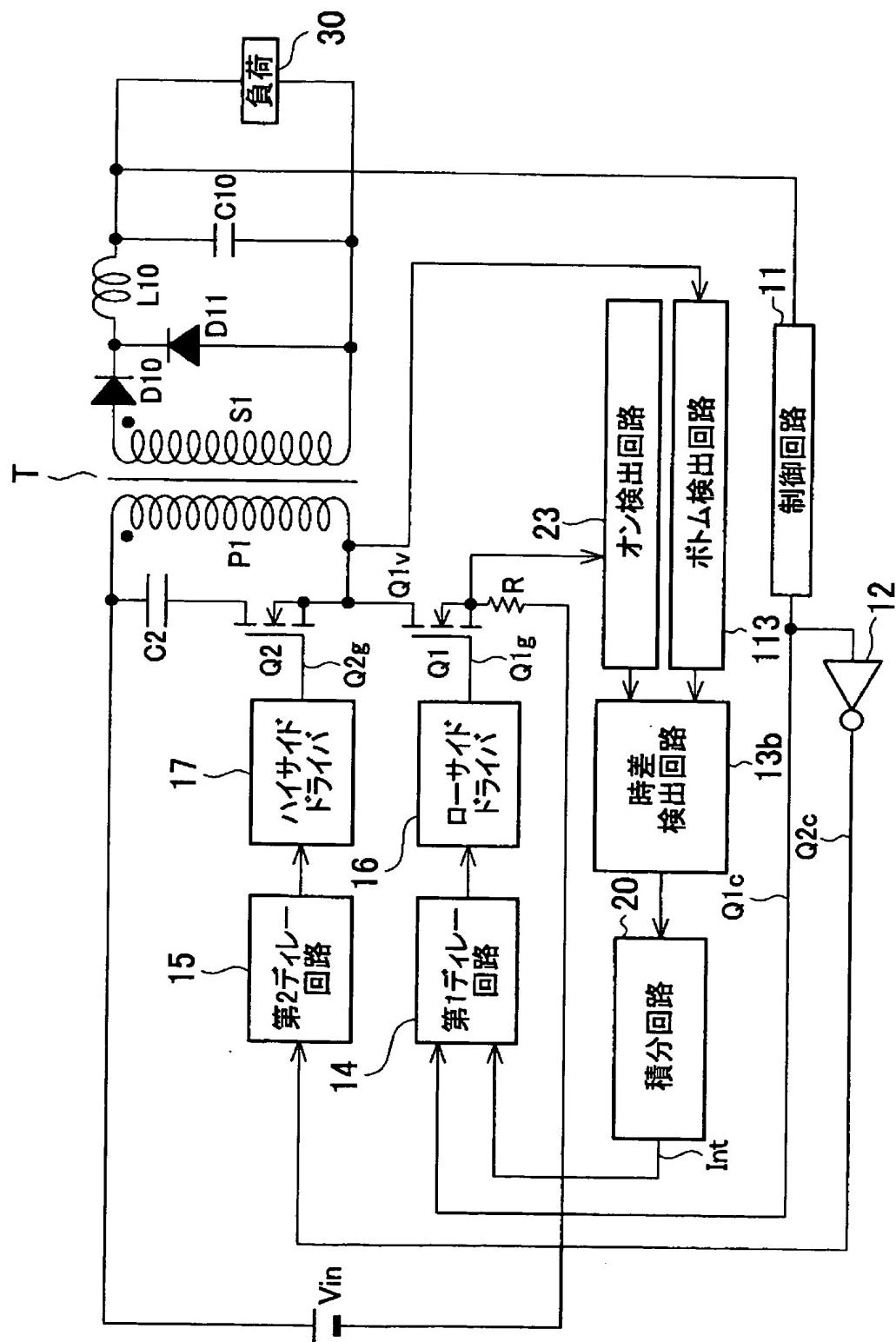
[図9]



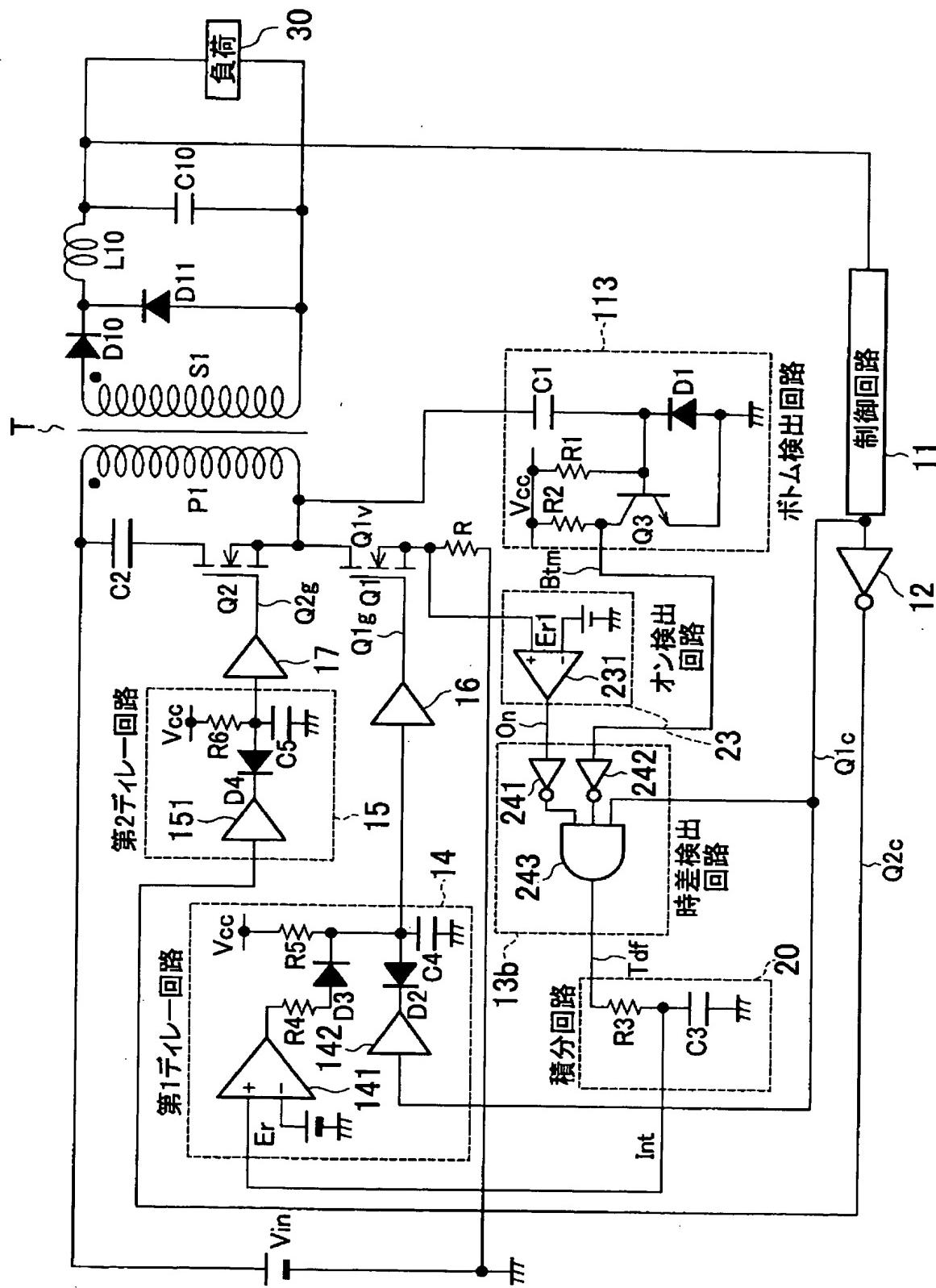
[図10]

Q1制御信号  
(Q1c)Q2制御信号  
(Q2c)Q2ゲート信号  
(Q2g)制御信号  
(SG1)時差検出信号  
(Tdf)微分信号  
(Df)演算出力  
(Int)Q1ゲート信号  
(Q1g)Q1電圧  
(Q1v)

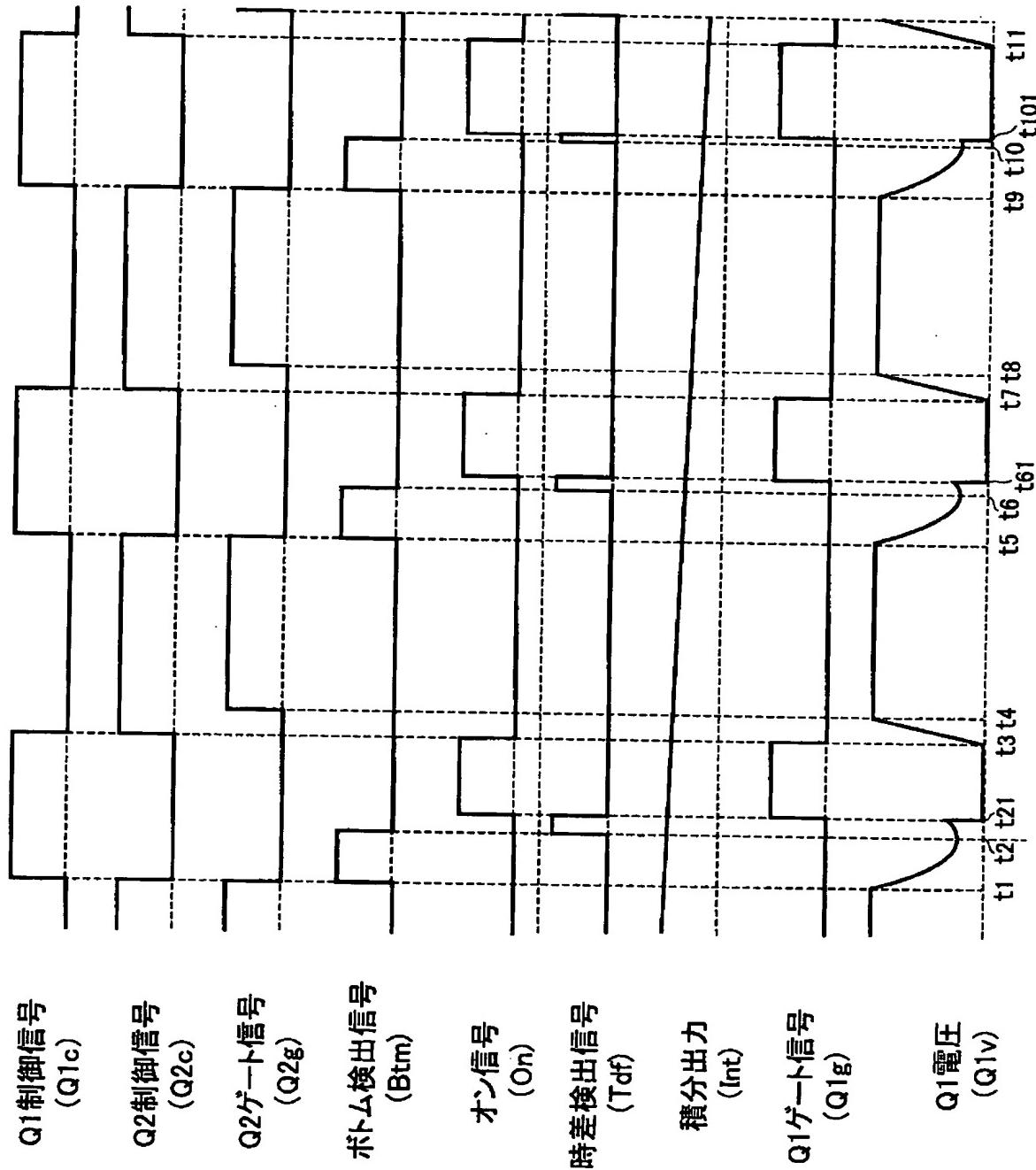
[図11]



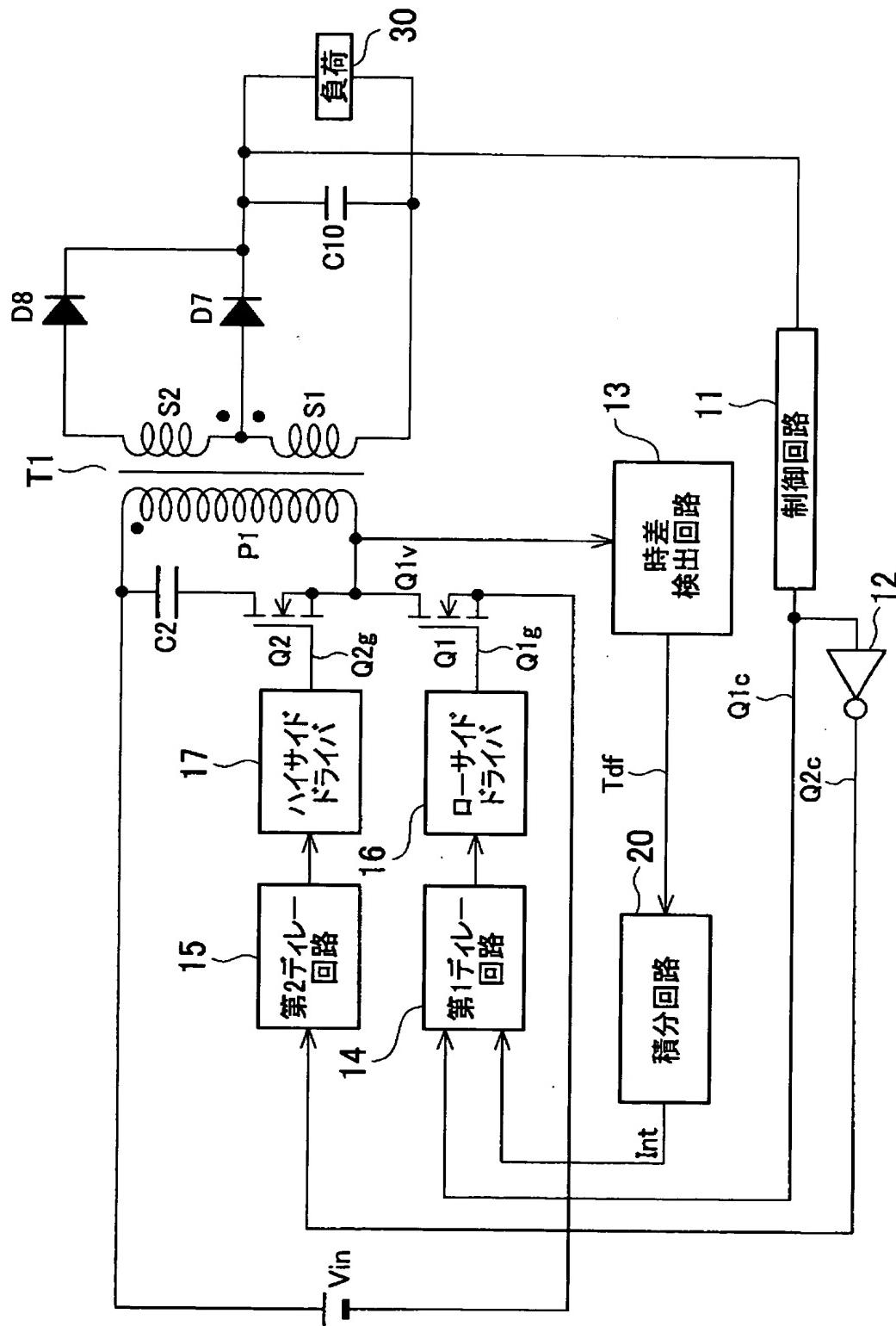
[図12]



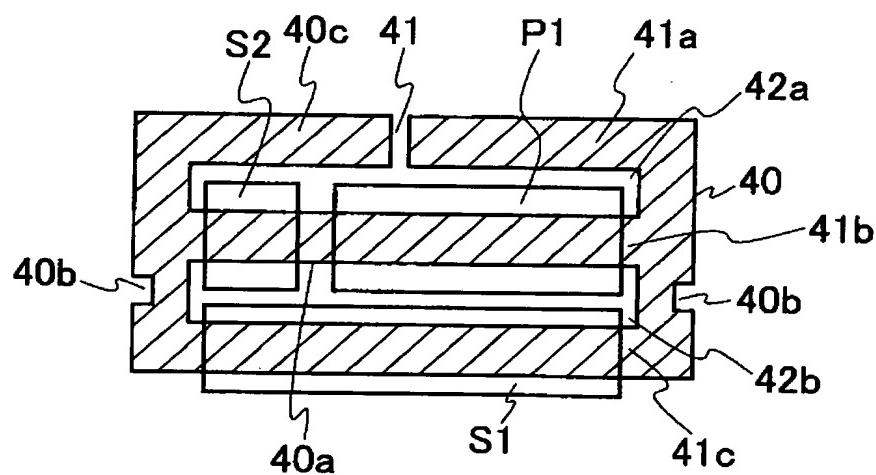
[図13]



[図14]



[図15]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016571

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> H02M3/28

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005  
 Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-92829 A (Hitachi, Ltd., Hitachi Tohbu Semiconductor, Ltd.), 31 March, 2000 (31.03.00), Par. Nos. [0034] to [0060]; Figs. 1 to 4 (Family: none)	1-16
A	JP 2002-199719 A (Densei-Lambda Kabushiki Kaisha), 12 July, 2002 (12.07.02), Full text; Figs. 1 to 3 (Family: none)	1-16
A	JP 2002-345240 A (Yokogawa Electric Corp.), 29 November, 2002 (29.11.02), Full text; Figs. 1 to 8 (Family: none)	1-16

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
--	--

Date of the actual completion of the international search  
18 February, 2005 (18.02.05)

Date of mailing of the international search report  
08 March, 2005 (08.03.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/016571

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-182429 A (Origin Electric Co., Ltd.), 11 July, 1997 (11.07.97), Full text; Figs. 1 to 9 (Family: none)	1-16

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C17 H02M 3/28

## B. 調査を行った分野

## 調査を行った最小限資料(国際特許分類(IPC))

Int. C17 H02M 3/00-3/44

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国登録実用新案公報	1994-2005年
日本国実用新案登録公報	1996-2005年

## 国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-92829 A (株式会社日立製作所、日立東部セミコンダクタ株式会社) 31.03.2000, 【0034】-【0060】, 図1-4 (ファミリーなし)	1-16
A	JP 2002-199719 A (デンセイ・ラムダ株式会社) 12.07.2002, 全文, 図1-3 (ファミリーなし)	1-16

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

## 国際調査を完了した日

18.02.2005

## 国際調査報告の発送日

08.3.2005

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

桜田 正紀

3V 3328

電話番号 03-3581-1101 内線 3356

C(続き) .	関連すると認められる文献	関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	J P 2 0 0 2 - 3 4 5 2 4 0 A (横河電機株式会社) 2 9. 1 1. 2 0 0 2, 全文, 図 1-8 (ファミリーなし)	1-16
A	J P 9-182429 A (オリジン電気株式会社) 1 1. 0 7. 1 9 9 7, 全文, 図 1-9 (ファミリーなし)	1-16